



KONGERIKET NORGE

Patentstyret

5

23/12

NO 99/00180

REC'D	24 SEP 1999
WIPO	PCT

Bekreftelse på patentsøknad nr
Certification of patent application no

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1998 2518

► Det bekreftes herved at vedheftede dokument er nøyaktig utskrift/kopi av ovennevnte søknad, som opprinnelig inngitt 1998.06.02

► *It is hereby certified that the annexed document is a true copy of the above-mentioned application, as originally filed on 1998.06.02*

1999.06.18

Freddy Strømmen

Freddy Strømmen
Seksjonsleder

Mette E. Hansen

Mette E. Hansen



PATENTSTYRET
Styret for det industrielle rettsvern

Søker:

Opticom ASA
Brynsveien 3B
N-0667 OSLO NORGE

Oppfinner:

Hans Gude Gudesen
Tyrihansveien 5
N-1639 GAMLE FREDRIKSTAD NORGE

Geirr I. Leistad
Jongsstubben 19
N-1300 SANDVIKA NORGE

Per-Erik Nordal
Båstadryggen 19
N-1370 ASKER NORGE

Fullmektig:

Geirr I. Leistad i Opticom ASA
Brynsveien 3B
N-0667 OSLO

**Oppfinnelsens
tittel:**

Skalerbar, integrert databehandlingsinnretning

Oppfinnelsen angår en skalerbar, integrert databehandlingsinnretning, spesielt en mikrodatamaskin, omfattende en prosesseringsenhet, hvor prosesseringsenheten omfatter en eller flere prosessorer, og en lagringsenhet, hvor lagringsenheten omfatter ett eller flere minner, og hvor

5 databehandlingsinnretningen er anordnet på et bærende substrat.

Et tilsynelatende paradoks ved dagens halvlederbaserte databehandlingsinnretninger er at selv om mikroprosessorenes ytelse i gjennomsnitt har øket med 60% pr. år i den senere tid, og dermed med en faktor på ca. 100 fra slutten av 80-tallet og frem til 1998, har aksesstiden til

10 randomaksesserbare skrive/leselagre, såkalte RAM, minket med ca. 7% pr. år og dermed bare blitt halvert i samme tidsrom. Gapet mellom prosessorytelse og aksessbåndbredde for RAM har derfor øket med en faktor på ca. 50 i løpet av de siste 10 år. Utviklingen med hensyn til prosessorytelse og aksesstid gjør det derfor nødvendig å forbedre både minnets båndbredde og redusere latensiteten,

15 dvs. den ventetid som oppstår når instruksjoner og data skal hentes. Hovedvekten ved utviklingen av dynamiske RAM (DRAM) har imidlertid vært lagt på å redusere størrelsen av minnecellene for å realisere DRAM med høy lagringstetthet.

Generelt er imidlertid årsaken til det ovennevnte misforhold ganske åpenbar.

20 Prosessoren må kommunisere med en eller flere minnetyper under de forskjellige faser av en beregningsoppgave, og i visse tilfeller vil kommunikasjonen være svært intensiv, f.eks. når prosesseringen forutsetter bruk av oppslagstabeller. For å oppnå høye prosesseringshastigheter er de raskeste og hyppigst benyttede minner fysisk anordnet integrert med

25 sentralprosessoren. Uheldigvis forbruker slike minner typisk et forholdsvis stort brikkeareal dersom deres lagringskapasitet skal være tilstrekkelig, og det er nødvendig med et uheldig kompromiss for å fordele den tilgjengelige fysiske plass mellom prosessoren og hurtigminner. Dette innebærer igjen at ytterligere minnekapasitet bare kan fås via busslinjer til mer fjerntliggende minneenheter.

30 Avhengig av en optimering i hvert enkelt tilfelle vil resultatet generelt være at det fås en total komponentarkitektur hvor mye av plassen på brikken og prosesseringsytelsen til sentralprosessoren går med å håndtere dataflyten mellom sentralprosessoren og mer fjerntliggende minneinnretninger som er forbundet med sentralprosessoren via busslinjer på halvledersubstratet.

35 Rent konkret betyr dette at mikroprosessoren bruker 75% av sin tid i minneinnretningen når den skal utføre databaseprosessering og

matriseberegninger. Utviklingen har vært slik at 60% av arealet og 90% av transistorene til de mest moderne mikroprosessorer er innrettet til å ta hånd om gapet mellom prosessorytelse og aksessbåndbredde ved at de benyttes i spesiell maskinvare på brikken, f.eks. i spesielle hurtigminner eller "cache"-minner for å ta hånd om den økende latensiteten. Også når det gjelder dynamiske RAM (DRAM), har utviklingen medført uventede vansker. I 1986 ble det benyttet en typisk minimum minnekapasitet for PCer på trettito 1 Mbit DRAM, mens det i 1997 ble benyttet to 64 Mbit DRAM fordi vekstraten i minimum minnestørrelse bare er halvparten av vekstraten til kapasiteten til DRAM. Da de fleste av dagens mikroprosessorer er orientert mot bruken av cache-minner, er det nødvendig med lavere latensitet, men utviklingen er i stedet gått i retning av høyere båndbredder og høyere latensitet. Det er klart at økning av kapasiteten til DRAM ikke vil være noen løsning, idet DRAM med en kapasitet på 256 Mbit eller 1 Gbit i realiteten vil gi høyere kostnader pr. bit og medføre et øket båndbreddebehov for feilkontroll. Skal det sistnevnte oppfylles, vil imidlertid latensiteten bli tilsvarende høyere.

For å løse de problemer som misforholdet mellom prosessytelse og RAM-aksesstid medfører, har det nylig vært foreslått (Patterson & al., "Intelligent RAM (IRAM): Chips that Remember and Compute", 1997 IEEE International Solid-State Circuits Conference, pp.224-225) å danne prosesseringslogikk og minne på én og samme brikke, hvor mesteparten av transistorene vil benyttes i minneinnretningen. En slik integrert databehandlingsinnretning har vært kalt intelligent RAM eller IRAM. Bruk av en DRAM med 1 Gbit kapasitet gir nok transistorer til å kunne implementere en kraftig prosessor og et minne som er stort nok til å romme hele programmer og datasett. I en slik IRAM er minnet delt opp i blokker med minneporter med en bredde på f.eks. 1 Kbit. Typiske brikkestørrelser vil være ca. 600 mm², slik at en IRAM vil trenge flere metallsjikt for å øke overføringshastigheten på linjene og eventuelt også kreve raskere transistorer for høyhastighetsgrensesnittet til synkrone DRAM. De mulige fordeler antydnet ved IRAM innbefatter lavere minnelatensitet, f.eks. redusert med en faktor på 10⁻¹, høyere minnebåndbredde, eksempelvis en økning med en faktor på 100, samt lavere effektforbruk. Minnets dimensjoner (breddestørrelse) kan justeres og en IRAM vil ikke legge beslag på en like stor plass på kortet som konvensjonelle databehandlingsinnretninger med tilsvarende kapasitet med hensyn til lagring og prosessering ville gjøre det.

Alternativt har det vært foreslått (Yoo & al., "A 32-bank 1 Gb DRAM with GB/s Bandwidth, ISSCC Digest of Technical Papers, pp. 378-379, feb. 1996) å

benytte IRAM med vektorprosessorer. Slike vektorprosessorer arbeider med lineære tallmatriser. Vektorprosessorer behøver ikke cache-minner, men krever minne med lav latensitet, ofte realisert som statiske RAM (SRAM) og med stor båndbredde, idet det kan benyttes hundrevis av separate minnegrupper. Det foreslåtte IRAM-system med en minnekapasitet på 1 Gbit vil følgelig være tilpasset behovene til en vektorprosessor. Denne kjente teknikk er vist på fig. 1 som skjematisk antyder hvordan en IRAM-vektormikroprosessor kan være realisert. Basert på en $0,18 \mu$ DRAM-prosess med en brikkeareal på 6 cm^2 kunne en IRAM ha 16 addisjons- og multiplikasjonsenheter med en frekvens på 500 MHz og 16 1024 bit brede minneporter som en frekvens på 50 MHz kollektivt vil gi 100 Gbyte/s minnebåndbredde. En slik IRAM ville kunne kjøre et typisk testprogram (Linpack) med en hastighet på 8 GFLOPS, noe som er mer enn fem ganger Crays hurtigste vektorbaserte superdataprosessor (Cray T-90). Hvorvidt IRAM vil kunne slå igjennom, vil være avhengig av minnekapasiteten på en brikke, idet denne ventes å øke fra 10 til 32 Mb for grafikkprodukter som spill og til 128-256 Mb for nettverkdatamaskiner og bærbare PCer.

Videre er fra teknikken også kjent bruk av parallellprosessering for å øke prosesseringshastigheten. Dette har vært oppnådd ved å basere prosessorene på arkitekturer som tillater prosessering av data og datasett parallelt. Typiske eksempler er parallellprosessorer på instruksjonsnivå som pipelineprosessorer eller superskalare prosessorer som har en arkitektur som kan håndtere meget lange instruksjonsord (VLIW). Det har også vært utviklet prosessorer som arbeider på instruksjonsnivå, men med data i parallell, og disse kan være realisert med enten pipelinearkitekturer, systoliske arkitekturer eller som ovenfor nevnt med vektorarkitekturer. Et vanskeligere realiserbart ønskemål har vært å utvikle databehandlingsinnretninger som kan arbeide med arkitekturer som tillater parallell databehandling på prosessnivå, dvs. såkalte MIMD-arkitekturer (Multiple Instructions, Multiple Data). Det har vært foreslått MIMD-arkitekturer med enten desentraliserte minner eller felles minner, men i praksis er de fleste slike arkitekturer i utgangspunktet basert på forskjellige former for multiprosessering i parallell, dvs. med bruk av prosessornettverk. Dette er i dag vanskelig å realisere med en optimal interkonnektivitet og er i hvertfall umulig å implementere i en brikkekonfigurasjon med dagens halvlederteknologi, spesielt så lenge brikkestørrelsen er begrenset til noen få cm^2 .

Det økende misforhold mellom den teoretiske prosesseringshastighet til moderne sentralprosessorer og den totale hastighet for innretningen er et påtrengende problem som har vist seg svært vanskelig å avbøte og nesten umulig å løse ved en videreutvikling av databehandlingsinnretninger basert på

5 f.eks. silisiumbasert halvlederteknologi alene. Hverken en økning i brikkestørrelse eller konstruksjonsløsninger som benytter vertikale strukturer og dermed oppnår flere komponenter på et og samme substratmateriale, har vist seg egnet. Dette henger nøye sammen med at minneinnretningene omfatter minneceller som eksplisitt er avhengige av brytere implementert i substratets

10 halvledermateriale. Med andre ord må hvert bitsted i et minne ha eksklusiv aksess til en del av substratet, og følgelig kreves det konstruksjonsløsninger hvor minneinnretninger og prosessorer må anbringes ved siden av hverandre. Forsøk på å danne vertikale strukturer, eksempelvis ved å stable flere lag oppå hverandre, har også slått feil fordi det fortsatt er nødvendig med elektrisk

15 aksess og komponenter, eksempelvis svitsjer i det samme underliggende halvledersubstrat. Det oppnås dermed ingen nettokapasitetsøkning ved bruk av multilagsløsninger og med substratarealet allerede er utnyttet med maksimal tetthet. Ved bruk av vertikalt stablede kretslag fås det i tillegg et problem med varmedissipasjonen i de enkelte lag, da dagens halvlederbaserte minner er

20 flyktige og derfor trenger en vedlikeholdsstrøm.

Generelt innebærer også stablingen av flere lag med komponenter som benytter aktive svitsjer basert på dagens halvlederteknologier, bruken av tverrgående strømveier gjennom underliggende lag. Dette begrenser i sterk grad antallet lag som kan stables, spesielt hvor de forskjellige lag og deler av disse behøver

25 dediserte strømveier. I tillegg til det volum som opptas av et tett nettverk av tverrgående strømveier, øker kompleksiteten ved fremstillingen og dermed produksjonskostnadene raskt med antallet lag i stabelen.

Mulighetene av å øke prosesserings- og minnekapasiteten i en integrert databehandlingsinnretning og oppnå tilstrekkelig minnebåndbredde, samtidig

30 som latensiteten reduseres tilsvarende den økte prosessorhastighet, synes å være små med dagens halvlederteknologier. En økning i minnekapasitet er et mål for samtlige minnetyper benyttet i dagens databehandlingsinnretninger, men har vist seg særlig vanskelig å realisere for minner med hurtig randomaksess uten å gå på akkord med prosesseringsytelse og innretningens

35 størrelse og kostnad. De nødvendige elektriske koblinger er et problem for seg og synes ikke å kunne la seg realisere hverken med bruk av vertikale og

stablede konfigurasjoner og slett ikke med økning i brikkearealet ved vanlige ettlagsteknologier.

5 Hovedhensikten med den foreliggende oppfinnelse er derfor å skaffe en integrert databehandlingsinnretning hvor prosessorenheten og minneenhetsen lar seg realisere med nær sagt ubegrenset kapasiteter i varierende konfigurasjoner og arkitekturer, samtidig som båndbreddekrav og latensitet optimeres, og uten at den elektriske kobling mellom de enkelte komponenter setter en begrensning på kapasitet og overføringstider.

10 En annen hensikt er å unngå bruken av konvensjonelle dynamiske DRAM, men i stedet realisere minneenhetsen i en teknologi som tillater både rask aksess og stor kapasitet, med muligheter for en funksjonell konfigurering av minneenhetsen i underenheter som hver for seg eksempelvis oppfyller RAM-funksjoner, ROM-funksjoner eller masselagerfunksjoner.

15 En tredje hensikt er spesifikt å redusere enhver form for latensitet, slik at prosessorytelse og minneaksess kan tilpasses optimalt og foretrukket slik at cache-minner i prosessorenheten unngås.

20 En fjerde hensikt er optimalt å kunne implementere skalerbare arkitekturer for parallellprosessering integrert på ett og samme substrat, hva det enten dreier seg om bruk av parallell prosessorarkitektur eller en multiprosessorarkitektur med dynamisk kobling mellom parallelt arbeidende prosessorer.

25 En femte hensikt med oppfinnelsen er å realisere den integrerte databehandlingsinnretning i en volumetrisk konfigurasjon og med strømveier som strekker seg både horisontalt og vertikalt i den volumetriske konfigurasjon for å skaffe en optimal interkonnektivitet mellom databehandlingsinnretningens enkelte komponenter og samtidig redusere dataoverføringshastigheten mellom komponentene.

30 De ovennevnte og andre hensikter oppnås i henhold til oppfinnelsen med en databehandlingsinnretning som er kjennetegnet ved at databehandlingsinnretningen omfatter innbyrdes tilstøtende, hovedsakelig parallelle, stablede sjikt, at prosesseringsenhetsen og lagringsenhetsen er anordnet i ett eller flere sjikt, idet de enkelte sjikt er dannet med valgte antall prosessorer og minner i valgte kombinasjoner, at hvert sjikt omfatter i eller på sjiktet horisontale, elektrisk ledende strukturer som utgjør elektrisk interne forbindelser i sjiktet, og at hvert sjikt omfatter ytterligere elektriske strukturer

som skaffer elektrisk forbindelse til andre sjikt og til databehandlingsinnretningens ytterside.

5 I en fordelaktig utførelse i henhold til oppfinnelsen er et eller flere sjikt realisert i form av en rekke tynne undersjikt i en teknologi som på et første nivå av et funksjonshierarki konfigurerer funksjonelt ett eller flere sjikt som et kombinert prosessor- og minnesjikt, eller ett eller flere sjikt hovedsakelig som prosessorsjikt og ett eller flere sjikt hovedsakelig som minnesjikt.

10 I den forbindelse er det også fordelaktig at prosesseringsenheten i et sjikt er konfigurert funksjonelt på et annet nivå av funksjonshierarkiet som en eller flere prosessorer eller deler av en eller flere prosessorer, idet minst én prosessor utgjør en sentralprosessor eller mikroprosessor i databehandlingsinnretningen, og eventuelle ytterligere prosessorer etter valg er konfigurert som henholdsvis kontroll- og/eller kommunikasjonsprosessorer.

15 I en fordelaktig utførelse i henhold til oppfinnelsen er lagringsenheten i et sjikt er konfigurert funksjonelt på det annet nivå i funksjonshierarkiet som ett eller flere minner eller deler av ett eller flere minner, idet minst et minne utgjør ett RAM og er forbundet med minst en sentralprosessor eller mikroprosessor, og eventuelle ytterligere minner etter valg er konfigurert som henholdsvis hurtigminner, ROM, WORM og ERASABLE.

20 I den forbindelse er det også fordelaktig at minst en del av lagringsenheten utgjør et masselager, idet masselageret etter valg kan være konfigurert som RAM, ROM, WORM eller ERASABLE eller kombinasjoner av disse.

25 I en ytterligere fordelaktig utførelse i henhold til oppfinnelsen er de ytterligere elektriske strukturer i et sjikt er anordnet på minst en sidekant av sjiktet som en elektrisk kantforbindelse.

30 I nok en ytterligere fordelaktig utførelse i henhold til oppfinnelsen er de ytterligere elektrisk ledende strukturer i et sjikt er anordnet som vertikalt ledende strukturer som danner en elektrisk forbindelse i sjiktets tverretning og perpendikulært på dets plan for å kontakte elektrisk ledende strukturer i andre sjikt.

Endelig er det i henhold til oppfinnelsen fordelaktig at et eller flere sjikt er dannet av organisk tynnfilmmateriale, idet det eller de organiske tynnfilmmaterialer er valgt blant monomere, oligomere og polymere organisk materialer og metallorganiske komplekser eller kombinasjoner av slike

materialer, eller at et eller flere sjikt er dannet av et uorganisk tynnfilmmateriale, idet det uorganiske tynnfilmmateriale er valgt blant krystallinske, polykrystallinske og amorfe tynnfilmmaterialer eller kombinasjoner av slike materialer.

- 5 Særlig kan i henhold til oppfinnelsen samtlige sjikt være dannet av organisk tynnfilmmateriale

Fordelaktig kan imidlertid i henhold til oppfinnelsen et eller flere sjikt også være dannet av både organisk og uorganiske tynnfilmmaterialer eller kombinasjoner av slike materialer.

- 10 Oppfinnelsen skal nå forklares nærmere i tilknytning til utførelseseksempler og med henvisning til den ledsagende tegning, hvor samme henvisningstall normalt betegner like deler, men hvor like deler ikke overalt er forsynt med henvisningstall, og hvor fig. 1 som allerede er omtalt, skjematisk viser en IRAM med vektormikroprosessor i henhold til kjent teknikk,
- 15 fig. 2 skjematisk og prinsipielt databehandlingsinnretningen i henhold til foreliggende oppfinnelse integrert i form av stablede sjikt,
- fig. 3 skjematisk en første utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,
- 20 fig. 4 skjematisk en annen utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 5 skjematisk en tredje utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 6 skjematisk en fjerde utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,
- 25 fig. 7a, b, skjematisk i henholdsvis grunnriss og snitt et minne som kan benyttes i lagringsenheten i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 7c, d, snitt gjennom en første utførelse av et minneelement i minnet på fig. 7a,
- 30 fig. 7e et snitt gjennom en annen utførelse av et minneelement i minnet på fig. 7a,

- fig. 7g et snitt gjennom en lagringsenhet bestående av flere stablede minnesjikt,
- fig. 7h en detalj av lagringsenheten på fig. 7g,
- fig. 8a, 8b, 8c, henholdsvis i perspektiv, snitt og grunnriss, en tredje utførelse
5 av et minneelement som kan benyttes i minnet på fig. 7a,
- fig. 9 den prinsipielle utførelse av minneelementet vist på fig. 8,
- fig. 10 skjematisk elektrodematrisen benyttet i minnet på fig. 7a og med bruk av minneelementer i utførelsen som vist på fig. 8,
- 10 fig. 11 en felteffekttransistor (FET) som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 12 en annen felteffekttransistor som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 13 en tredje felteffekttransistor som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- 15 fig. 14 en fjerde felteffekttransistor som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 15 et skjematisk snitt gjennom en diodestruktur generert ved omvandling av sjikt materialet og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- 20 fig. 16 et skjematisk snitt gjennom en MOSFET-struktur generert ved omvandling av sjikt materialet og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 17 et skjematisk snitt gjennom en logisk inverterstruktur som benytter MOSFET-strukturen på fig. 16 og som kan benyttes i
25 databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 18 ekvivalentdiagrammet for en OG-port realisert i CMOS-teknikk,
- fig. 19a-d i grunnriss undersjiktene i en OG-portstruktur realisert i tynnfilmteknikk og i henhold til ekvivalentskjemaet på fig. 18 med bruk av MOSFET-strukturer som den vist på fig. 16,

fig. 20 den stablede OG-portstruktur på fig. 19, men utspilt i den enkelte undersjikt,

fig. 21 skjematisk en annen variant av OG-portstrukturen på fig. 20, hvor de enkelte MOSFET-strukturer er anordnet over hverandre i vertikal konfigurasjon og innbyrdes parvis med felles grindelektrode.

Fig. 22 skjematisk en prosessorarkitektur som kombinerer dataparallellisme og funksjonsparallellisme og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,

fig. 23 skjematisk prinsippet for en MIMD-arkitektur med desentralisert minnesystem,

fig. 24 skjematisk en mer praktisk utførelse av MIMD-arkitekturen på fig. 23,

fig. 25 skjematisk prinsippet for en MIMD-arkitektur med felles minnesystem, og

fig. 26 hvordan MIMD-arkitekturen på fig. 25 kan være realisert i databehandlingsinnretningen i henhold til oppfinnelsen.

Den foreliggende oppfinnelse tar utgangspunkt i at databehandlingsinnretningen i henhold til oppfinnelsen kan utføres i form av innbyrdes tilstøtende, hovedsakelig parallelle stablede sjikt, fortrinnsvis sammensatt av flere undersjikt som spesifikt realiserer bestemte elektriske egenskaper i hovedsjiktet, og at hverken prosesseringsenheten eller lagringsenheten, bortsett fra i ett eller noen få lag, gjør omfattende bruk av aktive komponenter. Dette lar seg realisere med bruk av nye materialer og arkitekturer, hvilket skal omtales nærmere i det følgende. I sin mest skjematisk form er dette vist på fig. 2, hvor det på et substrat S er anordnet et flersjiktstruktur bestående av henholdsvis et prosessorsjikt P og en rekke minnesjikt M_1, M_2, \dots . Substratet S kan eksempelvis være utført i silisium, og det derover anordnede sjikt P utgjøre prosessorsjiktet hvori inngår minst en sentralprosessor (ikke vist) og eventuelt en eller flere kontroll- og kommunikasjonsprosessorer. Prosessorsjiktet vil derfor omfatte aktive komponenter og kan godt være realisert i uorganisk halvlederteknologi, f.eks. på et silisiumsubstrat. Over prosessorsjiktet er de forskjellige minnesjikt M_1, M_2, \dots som utgjør lagringsenheten i databehandlingsinnretningen, anordnet i stablet konfigurasjon, idet de enkelte minner er anordnet i hvert enkelt minnesjikt og konfigurert som eksempelvis RAM, ROM og ERASABLE. Det

skal forstås at hvert sjikt P, M i databehandlingsinnretningen på fig. 2 omfatter elektrisk ledende strukturer, enten horisontale eller vertikale som skaffer forbindelse mellom komponentene i hvert sjikt og mellom sjiktene innbyrdes. Dette skal omtales nærmere i det følgende.

5 Fig. 3 viser mer eksplisitt en første utførelsesform av databehandlingsinnretningen i henhold til oppfinnelsen, og hovedsakelig realisert på det første nivå av funksjonshierarkiet. Her er igjen prosessorsjiktet P anordnet på substratet S og vil som før omfatte aktive komponenter som transistorer for å realisere en eller flere sentralprosessorer og eventuelle
10 kontroll- og kommunikasjonsprosessorer. Over prosessorsjiktet P er det anordnet et minnegrensesnitt 1 som strekker seg ut over prosessorsjiktet P og over substratet S. Over minnegrensesnittet er det anordnet minnesjikt M_1, M_2, \dots . Både prosessorsjiktet P og minnesjiktene M samt minnegrensesnittet 1 inneholder ikke viste, horisontale elektrisk ledende strukturer for å skaffe
15 forbindelse mellom de enkelte komponenter, men i tillegg er i minnesjiktene M disse ledende strukturer ført til elektriske kantforbindelser ved siden av minnesjiktet og til minnebusser 2 som er anordnet i en særskilt minnebusssmodul 2' som vist på figuren. For hvert minnesjikt M_1, M_2, \dots er det anordnet tilsvarende minnebusser $2_1, 2_2, \dots$ og disse kan igjen være dannet som
20 både horisontale og vertikale elektrisk ledende strukturer i minnebusssmodulen 2'.

Fig. 4 viser en annen utførelsesform av databehandlingsinnretningen i henhold til oppfinnelsen. Som før er prosessorsjiktet P anordnet på substratet S, mens minnegrensesnittet 1 er anordnet over prosessorsjiktet P og dekker dette uten å
25 kontakte substratet S. De enkelte minnesjikt M_1, M_2, \dots er anordnet over minnegrensesnittet M_1 , men i denne utførelsesformen er det gitt avkall på en særskilt minnebusssmodul. I stedet er minnebussene 2 i sin helhet dannet som vertikale elektrisk ledende strukturer som strekker seg gjennom minnesjiktene M_1, M_2, \dots og skaffer forbindelse til minnegrensesnittet 1. Minnebussene 2
30 skaffer forbindelse til ikke viste adresseringslinjer for minner i lagringsenheten, idet adresseringslinjene kan være anordnet i form av horisontale elektrisk ledende strukturer i hvert minnesjikt M. Fortrinnsvis er det minnesjikt M_1 som befinner seg nærmest prosessorsjiktet P realisert med skrive/leseminner (RAM) slik at signalveien M mellom RAM og
35 prosessorsjiktet P blir kortest mulig. Minnesjiktet M_1 kan være realisert med en rekke RAM og I/O portene til hvert RAM ført på særskilt for hver RAM anordnede minnebusser 2_1 slik det er vist på figuren. De øvrige minnesjikt

M_2, \dots , som kan foreligge i et meget stort antall, kan realisere databehandlingsinnretningens masselager. Det skal imidlertid forstås at det prinsipielt ikke behøver å være noen forskjell på den fysiske realisering av henholdsvis RAM og masselagerminnet, idet minnet i de enkelte minnesjikt kan være realisert i nøyaktig den samme teknologi. I likhet med RAM kan derfor masselageret være realisert med minner som i sin helhet er utført som skrive/leseminner eller ERASABLE, men også omfatte minner av typen WORM (Write Once, Read Many Times).

Foretrukket er de enkelte sjikt i henhold til oppfinnelsen som nevnt realisert i form av en rekke tynne undersjikt i en teknologi og med materialer som gjør det mulig å realisere sjiktene som kombinerte prosessor- og minnesjikt og ett eller flere sjikt hovedsakelig som minnesjikt. Dette skal omtales nærmere i det følgende. Det kan i den forbindelse være hensiktsmessig at teknologien som benyttes til å realisere sjiktene for dette formål danner et funksjonshierarki, hvor det første nivå i funksjonshierarkiet konfigurerer sjiktene funksjonelt som enten kombinerte prosessor- eller minnesjikt eller som separate prosessor- eller minnesjikt. Det annet nivå i funksjonshierarkiet vil dernest konfigurere prosesseringsenheten funksjonelt som en eller flere prosessorer eller deler av prosessorer, og disse kan etter behov utgjøre en eller flere sentralprosessorer eller mikroprosessorer i databehandlingsinnretningen og om nødvendig dediserte prosessorer eller eventuelt være konfigurert som henholdsvis kontroll- og/eller kommunikasjonsprosessorer. På et tredje nivå av funksjonshierarkiet implementerer den benyttede teknologi arkitekturen til den enkelte prosessor, eksempelvis sentralprosessen som en parallellprosessor med flere parallelt arbeidende eksekveringsenheter. Tilsvarende vil den benyttede teknologi på det annet nivå i funksjonshierarkiet konfigurere lagringsenheten funksjonelt som et eller flere minner eller deler av minner. På det tredje nivå av funksjonshierarkiet kan ett eller flere minner kan realiseres som RAM og da være forbundet med en eller flere sentralprosessorer, og eventuelle ytterligere minner kan etter valg konfigureres som hurtigminner, ROM, WORM og ERASABLE. Disse minnene kan da inngå i lagringsenhetens masselager, og er de konfigurert som ERASABLE, vil de i realiteten kunne arbeide som RAM, men ha langt større lagringskapasitet enn hva tilfellet er for konvensjonelle RAM. Imidlertid er det ingenting i veien for at den benyttede teknologi kan benyttes til å realisere RAM med en lagringskapasitet som langt overstiger dagens dynamiske RAM basert på uorganiske halvledere, og i det

minste realisere RAM med en lagringskapasitet som nærmer seg masselagerkapasiteten i vanlige PCer.

De ovennevnte trekk og fordeler lar seg realisere ved at databehandlingsinnretningen i henhold til oppfinnelsen hovedsakelig er basert på komponenter utført i tynnfilmteknikk. Spesielt vil i den forbindelse undersjiktene fremstå som tynnfilmer og være kombinert, f.eks. ved laminering, til hovedsjikt, dvs. prosessorsjikt og/eller minnesjikt. I de aktive komponenter så som transistorene i prosessorene kan det benyttes halvledende tynnfilmmaterialer som kan være uorganiske, organiske, amorf eller polykrystallinske.

I minnematerialene og logiske komponenter kan det benyttes et ikke-flyktig tynnfilmmateriale, slik at disse komponenter beholder en gitt logisk tilstand ved brudd i strømtilførselen.

Spesielt kan tynnfilmmaterialene som er benyttet til å danne minner i et minnesjikt være slik at de spontant danner diodejunksjoner, og de kan dertil også være basert på anisotropt ledende tynnfilmmaterialer. Dette vil muliggjøre adresseringsopplegg hvor minnene er konfigurert som elektrisk adresserbare, passive matriser som muliggjør en høy lagringstetthet og stor lagringskapasitet uten at det behøves aktive komponenter overhodet. Spesielt kan hele minnesjiktet i hvert enkelt tilfelle være realisert i form av minnemoduler utført i tynnfilmteknikk. Teknisk er det vel kjent hvordan dette kan la seg realisere eksempelvis ved suksessiv avsetning av de enkelte sjikt på et felles substrat eller ved sammenføyning av separate, ultratynne, selvbærende sjikt. Dette skal også omtales mer detaljert i det følgende.

Det skal nå med henvisning til fig. 5 beskrives en tredje utførelsesform av databehandlingsinnretningen i henhold til oppfinnelse, idet fig. 5 gjengir en mer komplett vist utførelse. I denne utførelsen er det benyttet flere prosessorsjikt P. Det første av disse, prosessorsjiktet P_1 , er anordnet tilstøtende et prosessorgrensesnitt 3 som befinner seg nærmest substratet S. Interfoliert mellom et første og et annet prosessorsjikt P_1 , P_2 som, slik det er antydnet på tegningen, kan omfatte flere prosessorer 5, er det anordnet et første minnesjikt M_1 med ett eller flere RAM 6 tilordnet prosessorene 5 i prosessorsjiktet P_1 . Over minnesjiktet M_1 følger det annet prosessorsjikt P_2 med flere prosessorer 5 og til dette er det tilordnet et minnesjikt M_2 med ett eller flere RAM 6 tilordnet prosessorene i prosessorsjiktet P_2 . Over minnesjiktet M_2 følger nå et tredje

5 prosessorsjikt P_3 som igjen kan omfatte flere prosessorer 5 og dernest følger minnesjiktet M_3 med en eller flere RAM 6 tilordnet prosessorene i prosessorsjiktet P_3 . Det skal her forstås at antallet prosessorsjikt P med tilhørende RAM-sjikt M_1, M_2, M_3 , godt kan være større enn 3, og at utførelsen som vist på fig. 5, naturligvis er rent skjematisk og eksemplifiserende.

10 Over minnesjiktet M_3 er det anordnet et minnegrensesnitt 1 og over dette følger ytterligere minnesjikt $M_4, M_5 \dots$ i et meget stort antall, og disse kan godt realisere et masselager i databehandlingsinnretningen. Disse ytterligere minnesjikt M_4, M_5 er via minnebusser 2 realisert i form av vertikale elektriske ledende strukturer ført til minnegrensesnittet 1. Tilsvarende er de enkelte RAM i minnesjiktene M_1, M_2, M_3 også ført til minnegrensesnittet M_1 via vertikale og tvers gjennom de enkelte sjikt gående minnebusser 2. I tillegg er det mellom prosessorene 5 i prosessorsjiktene P_1, P_2, P_3 og tilordnede RAM i minnesjiktene M_1, M_2, M_3 anordnet minnebusser 7, som fører til I/O-portene 15 på den enkelte RAM. For hver prosessor 5 er det tegnet to slike minnebusser 7 for symbolsk å antyde separate instruksjons- og databusser. Dette er naturligvis ingen forutsetning. Prosessorgrensesnittet 3 har forbindelse til eventuelle eksterne enheter over en I/O-buss 8, og tilsvarende er det for minnegrensesnittet 1 anordnet en I/O-buss 9.

20 Ved utførelsen som vist på fig. 5, skaffes det spesielt en databehandlingsinnretning i henhold til oppfinnelsen som er konfigurert med en rekke prosessorer 5 og minst det tilsvarende antall RAM tilordnet prosessorene. Ved å konfigurere prosesseringsenheten med flere prosessorer og til hver prosessor anordne ett eller flere RAM, hvor den vertikale 25 konfigurasjon av databussene samtidig tillater en meget stor overføringskapasitet, vil det langt på vei være mulig å løse latensitetsproblemene selv ved meget store båndbredder på I/O-portene til RAM.

30 Når RAMene dertil er implementert med teknologier som skal beskrives nærmere i det følgende, spesielt teknologier som tillater adressering i parallell og full utnyttelse av en stor overføringsbåndbredde selv med meget høy syklustid, kan problemet med det ovenfor omtalte misforhold mellom høy prosessorytelse og lang aksestid elimineres. I realiteten kan det ved en hensiktsmessig arkitektur realiseres en databehandlingsinnretning med flere

prosessorer som arbeider i parallell, slik at det med en hensiktsmessig utførelse av den enkelte prosessor, eksempelvis ved å benytte parallellprosessering også i selve prosessoren, realiseres en integrert databehandlingsinnretning med en kapasitet som nærmer seg eller overstiger kjente superdatamaskiner

5 implementert i konvensjonell teknologi. For dette formål er det som vist på fig. 5 anordnet en prosessorbuss 4. Slik det vil bli omtalt senere, skaffer bruken av flere prosessorer 5 som eventuelt kan arbeide i parallell og som er innbyrdes forbundet over prosessorbussen 4 og dertil er anordnet i tett tilknytning til ett eller flere RAM, ikke bare en utførelse som langt på vei eliminerer

10 latensitetsproblemene, men som også gjennom den volumetriske utførelse av databehandlingsinnretningen tillater optimal interkonnektivitet mellom prosessorer og tilhørende RAM. Dersom nettverket av prosessorer 5 og RAM 6 er utført som vist på fig. 5, kan det konfigureres dynamisk for å skaffe en for en bestemt oppgave optimalt tilpasset kapasitet. Konfigureringen kan

15 eksempelvis skje med særskilt ikke vist kontrollprosessor som fordelaktig kan være anordnet i prosessorgrensesnittet 3 hvortil prosessorbussen 4 er forbundet.

Som ovenfor nevnt, behøver ikke prosessorene å være anordnet i egne sjikt eller processorsjikt P, og tilsvarende behøver heller ikke alle minner i

20 lagringsenheten å være anordnet i egne sjikt eller minnesjikt M. Hensiktsmessig kan prosessorer og minner, eksempelvis til prosessorene tilordnede RAM, være anordnet i et og samme sjikt, slik dette er vist på fig. 6 som viser en fjerde utførelsesform av databehandlingsinnretningen i henhold til oppfinnelsen. Her er igjen et prosessorgrensesnitt 3 med et I/O grensesnitt 8

25 anbrakt på et substrat S og over dette prosessorgrensesnittet 3 følger et processorsjikt P_1 med en eller flere prosessorer. Både prosessorgrensesnittet 3 og processorsjiktet P_1 kan som de nederste lag i databehandlingsinnretningen på fig. 6 og tilstøtende substratet være realisert i konvensjonelle, eksempelvis silisiumbaserte halvlederteknologier. Over processorsjiktet P_1 er det anordnet

30 et første minnesjikt M_1 som kan være konfigurert med ett eller flere RAM 6 tilordnet prosessorene 5 i det underliggende processorsjikt P_1 . På fig. 6 er imidlertid ikke enkeltstående RAM 6 i minnesjiktet M_1 fremhevet særskilt. Derimot er det vist hvordan minnene i minnesjiktet M_1 kan være direkte

35 forbundet til det underliggende processorsjikt P_1 via busser 7, idet den stablede konfigurasjon tillater at slike busser 7 kan anordnes i stort antall ved at de er utført som vertikalt ledende strukturer og konfigurasjonen sjikt på sjikt tillater at et meget stort antall slike bussforbindelser kan skaffes mellom

- prosessorsjiktet P_1 og minnesjiktet M_1 og dertil med korte signalveier. En sideordnet plassering i en flate ville derimot kreve lengre forbindelser og følgelig lengre overføringstider. - Ytterligere er det i databehandlingsinnretningen på fig. 6 anordnet kombinerte minne- og
- 5 prosessorsjikt MP_1 , MP_2 , MP_3 utstyrt med prosessorer forbundet innbyrdes og til prosessorgrensesnittet 3 over den samme prosessorbuss 4. Samtlige av de kombinerte minne- og prosessorsjikt MP kan omfatte én eller flere prosessorer 5 og ett eller flere RAM 6. Over de kombinerte minne- og prosessorsjikt MP er det som før anordnet et minnegrensesnitt 1 med et I/O grensesnitt 9 til eksterne
- 10 enheter, og over minnegrensesnittet 1 følger minnesjikt M_2 , M_3 , o.s.v. i et så stort antall som ønskelig og eventuelt realisert som databehandlingsinnretningens masselager. Disse minnesjikt M_2 , M_3 er igjen forbundet til minnegrensesnittet 1 via minnebusser realisert som vertikale ledende strukturer 2 gjennom sjiktene M_2 , M_3 ...
- 15 På fig. 2-6 er databehandlingsinnretningen i henhold til oppfinnelsen vist som et snitt gjennom innretningens forskjellige sjikt, men det skal forstås at databehandlingsinnretningens sjiktvis oppbygging i virkeligheten realiserer en volumetrisk konfigurasjon, hvor f.eks. de vertikale strømledende strukturer 2 kan være anordnet fordelt over flaten og således skaffe et stort antall
- 20 forbindelser mellom minner og prosessorer og tilhørende grensesnitt, og likeledes at eksempelvis prosessorbussen 4 i hvert tilfelle strekker seg både horisontalt og vertikalt i de forskjellige sjikt og kan knytte prosessorer som er fordelt innen et og samme sjikt eller på forskjellige sjikt sammen i et tredimensjonalt konfigurert nettverk. - I den forbindelse skal det forøvrig
- 25 bemerkes når uttrykket "horisontal" og "vertikal" er benyttet om de elektrisk ledende strukturer, skal det med dette forstås at det førstnevnte begrep overalt innebærer at de ledende strukturer strekker seg langsetter sjiktet og hovedsakelig parallelt med dets over eller underside og tilsvarende at det annet begrep overalt betyr at strukturene strekker seg hovedsakelig perpendikulært til
- 30 lagens overside eller underside og krysser disse. Rent praktisk kan følgelig også "horisontal" og "vertikal" referere seg til sjiktens orientering i forhold til det underliggende, hovedsakelig plane substrat, idet sjiktene ikke bare er innbyrdes parallelle, men også strekker seg parallelt i forhold til overflaten av substratet S.
- 35 I prinsippet er det ingenting i veien for at databehandlingsinnretningen i henhold til oppfinnelsen, bortsett fra substratet, helt kan være realisert med hovedsakelig organiske materialer, eventuelt metallorganiske komplekser, og

implementert i tynnfilmteknologi. Rent praktisk kan det være en fordel å anordnet prosessorgrensesnittet 3 og den nederste prosessorsjikt P_1 tilstøtende substratet S, slik at man eventuelt står fritt til å realisere komponentene i disse sjikt i konvensjonelle og velkjente halvlederteknologier, eksempelvis basert på silisium. Det er imidlertid ingenting i veien for at naturligvis disse sjikt også kan være realisert i en organisk tynnfilmteknologi.

Hvordan minner i lagringsenheten kan være realisert praktisk, skal nå omtales nærmere i det følgende. Likeledes skal det omtales eksempler på utførelse av aktive komponenter, f.eks. transistorer, samt ledende strukturer, hvor også forskjellig egnede materialer og teknologier for å implementere disse komponentene kort vil bli nevnt. Det vil da klarere også fremgå at en databehandlingsinnretning i de utførelser som er vist på fig. 2-6, vil la seg kunne realisere med teknologier som enten foreligger eller for tiden er under utvikling, blant annet av søkeren selv.

I NO patentsøknad nr. 972803 som er overdratt til den nåværende søker og som det her skal henvises til, er det vist en elektrisk adresserbar logisk innretning egnet til lagring eller prosessering av data. En utførelse av denne innretningen konfigurert som et dataminne er vist på fig. 7a. Minnet omfatter et minnemedium 10, som utgjør en sjiktlignende kontinuerlig struktur og kan være realisert som et sjikt i et av minnesjiktene M i den foreliggende oppfinnelse. Minnemediet 10 er dannet av et hovedsakelig organisk materiale som kan gjennomgå en fysisk eller kjemisk tilstandsforandring ved en passende energetisk påvirkning. Minnemediet 10 er som vist på fig. 7a, anordnet mellom en matrise av hovedsakelig ortogonalt kryssende elektroder 11 og 12, slik at disse i forhold til minnemediet danner en hovedsakelig ortogonal elektrodematrise som overalt kontakterer minnemediet direkte. Det skal forstås at elektrodene 11, 12 kan være realisert som de ovenfor omtalte ledende strukturer i et minnesjikt M. I skjæringspunktet mellom en underliggende elektrode 11 og en overliggende elektrode 12 dannes det i minnematerialet 10 en logisk celle som under påvirkning av spenning, strøm eller et elektrisk felt kan innta en tilstand som kan representere en forhåndsbestemt logisk verdi for cellen. Disse logiske cellene utgjør således minneelementene i minnet som vist på fig. 7a. Hver av elektrodene 11, 12 er forbundet med minnebusmodulen 2' over adresseringslinjer 13 og minnebusmodulen er over minnebussen 2 forbundet med minnegrensesnittet 1 som kan være anordnet i et annet sjikt i databehandlingsinnretningen og på avstand fra det angjeldende minnesjikt, idet minnebussen 2 for dette formål delvis er utført som vertikalt ledende strukturer

som strekker seg gjennom de forskjellige sjikt i databehandlingsinnretningen, slik dette skjematisk er antydnet på fig. 7b som viser et snitt gjennom minnet på fig. 7a, tatt langs en av elektrodene 12. Fig. 7c og 7d viser snitt gjennom den enkelte minnecelle 14 som dannes i krysningsstedet mellom en underliggende elektrode 11 og en overliggende elektrode 12. Det skal forstås at elektrodene 12 og 11 kan være anordnet i eller på minnemediet 10 og kontaktere dette direkte, eller det kan på begge sider av minnemediet være anordnet ikke viste dielektriske sjikt, slik at elektrodene 11, 12 kontakterer minnemediet 10 indirekte. Påtrykkes elektrodene 11, 12 i en spenning fås i hvert tilfelle en direkte eller indirekte elektrisk kobling igjennom minneelementet, slik at det kan bringes til en bestemt tilstand eller at en bestemt tilstand i minneelementet 14 kan detekteres. Tilstandsforandringen i minneelementet 14 kan være en forandring i minnematerialets strøm- eller spenningskarakteristikker på dette sted eller en forandring av materialets impedansverdi. Ved valg av passende materialer vil en tilstandsform i fravær av spenning eller elektrisk felt være permanent, slik at tilstanden blir permanent opprettholdt og minnet på fig. 7a dermed realiserer en ikke-flyktig, elektrisk adresserbar minneinnretning. Selve minnematerialet kan være et polymermateriale, eksempelvis en konjugert polymer, og det kan også omfatte et anisotropt elektrisk ledende materiale, dvs. et materiale som bare leder elektrisk i tverretningen mellom elektrodene, slik at det i minnematerialet ikke fås elektriske strømmen som forplanter seg i lengderetningen. Minnematerialet 10 kan også være utført slik eller tilsatt stoffer som gjør at det under påvirkning av elektrisk spenning eller elektriske felt kan gå over fra en krystallinsk til en amorf fase eller omvendt, idet fasetilstandens strøm/spenningskarakteristikker er distinkte og tillater en deteksjon. Elektrodene 11, 12 som er dannet i form av horisontalt ledende strukturer i det angjeldende minnesjikt M, kan selv være et ledende organisk materiale eller være dannet i form av avsatte metallorganiske forbindelser eller som metaller på minnematerialets overflate 10. Videre kan minneelementet eller den logiske celle 10, 14 utgjøre en likeretterdiode mellom elektrodene 11, 12, slik at minneinnretningen på fig. 7a danner et elektrisk nettverk av slike dioder. Konsekvensen av dette skal omtales nærmere i det følgende, men et slikt diodenettverk kan hindre skrive- og/eller deteksjonsfeil på grunn av snikstrømmer fra et minneelement til et annet i elektrodematriksen. Spesielt kan det være benyttet et organisk minnemateriale 10 som spontant danner en diodejunksjon i minneelementet 14. Videre er det ansett som fordelaktig at den logiske celle er utført slik at minnematerialet 10 under påvirkning av elektrisk spenning eller elektriske felt undergår en reaksjon som gjør at resistansverdien

i den enkelte logiske celle kan endres. Dermed kan den logiske celles logiske verdi detekteres ved å måle en logisk celles impedans, og denne deteksjon svarer naturligvis til en lesning av innholdet i minneinnretningen som vist på fig. 7a. Kan minneelementets logiske verdi svitsjes reversibelt, realiserer minneinnretningen på fig. 7a et skrive/leseminne eller minne av typen ERASABLE, men det er ingenting i veien for at den logiske verdi kan svitsjes irreversibelt, slik at minneinnretningen på fig. 7a dermed realiserer et leseminne (ROM) eller et minne av typen WORM. Ved bruk av en minneinnretning som vist på fig. 7a i stablede minnesjikt M, må disse isoleres innbyrdes, og dette kan skje gjennom anordning av dielektriske, tynne sjikt 15 på hver side av elektrodene. Ligger elektrodene 11, 12 nå på overflaten av minnematerialet 10 kan de samtidig være innbefattet i disse dielektriske sjikt 15, som vist på fig. 7d.

I en variant av minneinnretningen på fig. 7a, hvor minneinnretningen i og for seg fortsatt har den samme elektriske konfigurasjon, kan det benyttede minnematerialet 10 være en tynnfilm av ferroelektriske materiale, idet et slikt ferroelektrisk materiale under et påtrykt elektrisk felt kan innta en første eller annen polarisasjonstilstand og svitsjes fra en uordnet tilstand til en av polarisasjonstilstandene eller fra den første til den annen polarisasjonstilstand eller omvendt. En logisk celle eller et minneelement 14 kan da være dannet i tynnfilmen av ferroelektrisk materiale mellom elektrodene 11, 12. En bestemt polarisasjonstilstand tilordnet til det logiske element 14 representerer det logiske elements logiske verdi eller den i minneelementet lagrede dataverdi. I hvert tilfelle er den logiske celle eller minneelementet konfigurert som vist på fig. 7c og fig. 7d. Er det logiske materialet eller minnemediet en ferroelektrisk tynnfilm, kan imidlertid den logiske celle eller minneelementet 14 også være realisert som vist på fig. 7e i grunnriss og på fig. 7f i et snitt tatt langs linjen A-A' på fig. 7c. Her er den overliggende elektrode 12 adskilt fra den underliggende kryssende elektrode 11 av et isolasjonstrinn 15'. Det aktive område i det ferroelektriske tynnfilm 10 vil da fremtre som smale bånd på begge sider av elektroden 12, som vist på fig. 7e og strekke seg henimot den underliggende elektrode 11, slik dette er vist på fig. 7f og hvor feltlinjene dessuten er antydnet med piler. Ved fremstillingen av en minneinnretning basert på ferroelektrisk tynnfilm som her omtalt, dannes først elektrodene 11 ved mønstring av et passende materiale, f.eks. anordnet på et ikke vist isolerende substrat. Over dette anbringes et kontinuerlig sjikt 15 av isolasjonsmateriale og på toppen av dette de overliggende elektroder 12, slik at det fås en

hovedsakelig ortogonal elektrodematrise. Etter avsettingen av elektrodene 12 5
 10 15 20 25 30 35
 35
 40
 45
 50
 55
 60
 65
 70
 75
 80
 85
 90
 95
 100
 105
 110
 115
 120
 125
 130
 135
 140
 145
 150
 155
 160
 165
 170
 175
 180
 185
 190
 195
 200
 205
 210
 215
 220
 225
 230
 235
 240
 245
 250
 255
 260
 265
 270
 275
 280
 285
 290
 295
 300
 305
 310
 315
 320
 325
 330
 335
 340
 345
 350
 355
 360
 365
 370
 375
 380
 385
 390
 395
 400
 405
 410
 415
 420
 425
 430
 435
 440
 445
 450
 455
 460
 465
 470
 475
 480
 485
 490
 495
 500
 505
 510
 515
 520
 525
 530
 535
 540
 545
 550
 555
 560
 565
 570
 575
 580
 585
 590
 595
 600
 605
 610
 615
 620
 625
 630
 635
 640
 645
 650
 655
 660
 665
 670
 675
 680
 685
 690
 695
 700
 705
 710
 715
 720
 725
 730
 735
 740
 745
 750
 755
 760
 765
 770
 775
 780
 785
 790
 795
 800
 805
 810
 815
 820
 825
 830
 835
 840
 845
 850
 855
 860
 865
 870
 875
 880
 885
 890
 895
 900
 905
 910
 915
 920
 925
 930
 935
 940
 945
 950
 955
 960
 965
 970
 975
 980
 985
 990
 995
 1000
 1005
 1010
 1015
 1020
 1025
 1030
 1035
 1040
 1045
 1050
 1055
 1060
 1065
 1070
 1075
 1080
 1085
 1090
 1095
 1100
 1105
 1110
 1115
 1120
 1125
 1130
 1135
 1140
 1145
 1150
 1155
 1160
 1165
 1170
 1175
 1180
 1185
 1190
 1195
 1200
 1205
 1210
 1215
 1220
 1225
 1230
 1235
 1240
 1245
 1250
 1255
 1260
 1265
 1270
 1275
 1280
 1285
 1290
 1295
 1300
 1305
 1310
 1315
 1320
 1325
 1330
 1335
 1340
 1345
 1350
 1355
 1360
 1365
 1370
 1375
 1380
 1385
 1390
 1395
 1400
 1405
 1410
 1415
 1420
 1425
 1430
 1435
 1440
 1445
 1450
 1455
 1460
 1465
 1470
 1475
 1480
 1485
 1490
 1495
 1500
 1505
 1510
 1515
 1520
 1525
 1530
 1535
 1540
 1545
 1550
 1555
 1560
 1565
 1570
 1575
 1580
 1585
 1590
 1595
 1600
 1605
 1610
 1615
 1620
 1625
 1630
 1635
 1640
 1645
 1650
 1655
 1660
 1665
 1670
 1675
 1680
 1685
 1690
 1695
 1700
 1705
 1710
 1715
 1720
 1725
 1730
 1735
 1740
 1745
 1750
 1755
 1760
 1765
 1770
 1775
 1780
 1785
 1790
 1795
 1800
 1805
 1810
 1815
 1820
 1825
 1830
 1835
 1840
 1845
 1850
 1855
 1860
 1865
 1870
 1875
 1880
 1885
 1890
 1895
 1900
 1905
 1910
 1915
 1920
 1925
 1930
 1935
 1940
 1945
 1950
 1955
 1960
 1965
 1970
 1975
 1980
 1985
 1990
 1995
 2000
 2005
 2010
 2015
 2020
 2025
 2030
 2035
 2040
 2045
 2050
 2055
 2060
 2065
 2070
 2075
 2080
 2085
 2090
 2095
 2100
 2105
 2110
 2115
 2120
 2125
 2130
 2135
 2140
 2145
 2150
 2155
 2160
 2165
 2170
 2175
 2180
 2185
 2190
 2195
 2200
 2205
 2210
 2215
 2220
 2225
 2230
 2235
 2240
 2245
 2250
 2255
 2260
 2265
 2270
 2275
 2280
 2285
 2290
 2295
 2300
 2305
 2310
 2315
 2320
 2325
 2330
 2335
 2340
 2345
 2350
 2355
 2360
 2365
 2370
 2375
 2380
 2385
 2390
 2395
 2400
 2405
 2410
 2415
 2420
 2425
 2430
 2435
 2440
 2445
 2450
 2455
 2460
 2465
 2470
 2475
 2480
 2485
 2490
 2495
 2500
 2505
 2510
 2515
 2520
 2525
 2530
 2535
 2540
 2545
 2550
 2555
 2560
 2565
 2570
 2575
 2580
 2585
 2590
 2595
 2600
 2605
 2610
 2615
 2620
 2625
 2630
 2635
 2640
 2645
 2650
 2655
 2660
 2665
 2670
 2675
 2680
 2685
 2690
 2695
 2700
 2705
 2710
 2715
 2720
 2725
 2730
 2735
 2740
 2745
 2750
 2755
 2760
 2765
 2770
 2775
 2780
 2785
 2790
 2795
 2800
 2805
 2810
 2815
 2820
 2825
 2830
 2835
 2840
 2845
 2850
 2855
 2860
 2865
 2870
 2875
 2880
 2885
 2890
 2895
 2900
 2905
 2910
 2915
 2920
 2925
 2930
 2935
 2940
 2945
 2950
 2955
 2960
 2965
 2970
 2975
 2980
 2985
 2990
 2995
 3000
 3005
 3010
 3015
 3020
 3025
 3030
 3035
 3040
 3045
 3050
 3055
 3060
 3065
 3070
 3075
 3080
 3085
 3090
 3095
 3100
 3105
 3110
 3115
 3120
 3125
 3130
 3135
 3140
 3145
 3150
 3155
 3160
 3165
 3170
 3175
 3180
 3185
 3190
 3195
 3200
 3205
 3210
 3215
 3220
 3225
 3230
 3235
 3240
 3245
 3250
 3255
 3260
 3265
 3270
 3275
 3280
 3285
 3290
 3295
 3300
 3305
 3310
 3315
 3320
 3325
 3330
 3335
 3340
 3345
 3350
 3355
 3360
 3365
 3370
 3375
 3380
 3385
 3390
 3395
 3400
 3405
 3410
 3415
 3420
 3425
 3430
 3435
 3440
 3445
 3450
 3455
 3460
 3465
 3470
 3475
 3480
 3485
 3490
 3495
 3500
 3505
 3510
 3515
 3520
 3525
 3530
 3535
 3540
 3545
 3550
 3555
 3560
 3565
 3570
 3575
 3580
 3585
 3590
 3595
 3600
 3605
 3610
 3615
 3620
 3625
 3630
 3635
 3640
 3645
 3650
 3655
 3660
 3665
 3670
 3675
 3680
 3685
 3690
 3695
 3700
 3705
 3710
 3715
 3720
 3725
 3730
 3735
 3740
 3745
 3750
 3755
 3760
 3765
 3770
 3775
 3780
 3785
 3790
 3795
 3800
 3805
 3810
 3815
 3820
 3825
 3830
 3835
 3840
 3845
 3850
 3855
 3860
 3865
 3870
 3875
 3880
 3885
 3890
 3895
 3900
 3905
 3910
 3915
 3920
 3925
 3930
 3935
 3940
 3945
 3950
 3955
 3960
 3965
 3970
 3975
 3980
 3985
 3990
 3995
 4000
 4005
 4010
 4015
 4020
 4025
 4030
 4035
 4040
 4045
 4050
 4055
 4060
 4065
 4070
 4075
 4080
 4085
 4090
 4095
 4100
 4105
 4110
 4115
 4120
 4125
 4130
 4135
 4140
 4145
 4150
 4155
 4160
 4165
 4170
 4175
 4180
 4185
 4190
 4195
 4200
 4205
 4210
 4215
 4220
 4225
 4230
 4235
 4240
 4245
 4250
 4255
 4260
 4265
 4270
 4275
 4280
 4285
 4290
 4295
 4300
 4305
 4310
 4315
 4320
 4325
 4330
 4335
 4340
 4345
 4350
 4355
 4360
 4365
 4370
 4375
 4380
 4385
 4390
 4395
 4400
 4405
 4410
 4415
 4420
 4425
 4430
 4435
 4440
 4445
 4450
 4455
 4460
 4465
 4470
 4475
 4480
 4485
 4490
 4495
 4500
 4505
 4510
 4515
 4520
 4525
 4530
 4535
 4540
 4545
 4550
 4555
 4560
 4565
 4570
 4575
 4580
 4585
 4590
 4595
 4600
 4605
 4610
 4615
 4620
 4625
 4630
 4635
 4640
 4645
 4650
 4655
 4660
 4665
 4670
 4675
 4680
 4685
 4690
 4695
 4700
 4705
 4710
 4715
 4720
 4725
 4730
 4735
 4740
 4745
 4750
 4755
 4760
 4765
 4770
 4775
 4780
 4785
 4790
 4795
 4800
 4805
 4810
 4815
 4820
 4825
 4830
 4835
 4840
 4845
 4850
 4855
 4860
 4865
 4870
 4875
 4880
 4885
 4890
 4895
 4900
 4905
 4910
 4915
 4920
 4925
 4930
 4935
 4940
 4945
 4950
 4955
 4960
 4965
 4970
 4975
 4980
 4985
 4990
 4995
 5000
 5005
 5010
 5015
 5020
 5025
 5030
 5035
 5040
 5045
 5050
 5055
 5060
 5065
 5070
 5075
 5080
 5085
 5090
 5095
 5100
 5105
 5110
 5115
 5120
 5125
 5130
 5135
 5140
 5145
 5150
 5155
 5160
 5165
 5170
 5175
 5180
 5185
 5190
 5195
 5200
 5205
 5210
 5215
 5220
 5225
 5230
 5235
 5240
 5245
 5250
 5255
 5260
 5265
 5270
 5275
 5280
 5285
 5290
 5295
 5300
 5305
 5310
 5315
 5320
 5325
 5330
 5335
 5340
 5345
 5350
 5355
 5360
 5365
 5370
 5375
 5380
 5385
 5390
 5395
 5400
 5405
 5410
 5415
 5420
 5425
 5430
 5435
 5440
 5445
 5450
 5455
 5460
 5465
 5470
 5475
 5480
 5485
 5490
 5495
 5500
 5505
 5510
 5515
 5520
 5525
 5530
 5535
 5540
 5545
 5550
 5555
 5560
 5565
 5570
 5575
 5580
 5585
 5590
 5595
 5600
 5605
 5610
 5615
 5620
 5625
 5630
 5635
 5640
 5645
 5650
 5655
 5660
 5665
 5670
 5675
 5680
 5685
 5690
 5695
 5700
 5705
 5710
 5715
 5720
 5725
 5730
 5735
 5740
 5745
 5750
 5755
 5760
 5765
 5770
 5775
 5780
 5785
 5790
 5795
 5800
 5805
 5810
 5815
 5820
 5825
 5830
 5835
 5840
 5845
 5850
 5855
 5860
 5865
 5870
 5875
 5880
 5885
 5890
 5895
 5900
 5905
 5910
 5915
 5920
 5925
 5930
 5935
 5940
 5945
 5950
 5955
 5960
 5965
 5970
 5975
 5980
 5985
 5990
 5995
 6000
 6005
 6010
 6015
 6020
 6025
 6030
 6035
 6040
 6045
 6050
 6055
 6060
 6065
 6070
 6075
 6080
 6085
 6090
 6095
 6100
 6105
 6110
 6115
 6120
 6125
 6130
 6135
 6140
 6145
 6150
 6155
 6160
 6165
 6170
 6175
 6180
 6185
 6190
 6195
 6200
 6205
 6210
 6215
 6220
 6225
 6230
 6235
 6240
 6245
 6250
 6255
 6260
 6265
 6270
 6275
 6280
 6285
 6290
 6295
 6300
 6305
 6310
 6315
 6320
 6325
 6330
 6335
 6340
 6345
 6350
 6355
 6360
 6365
 6370
 6375
 6380
 6385
 6390
 6395
 6400
 6405
 6410
 6415
 6420
 6425
 6430
 6435
 6440
 6445
 6450
 6455
 6460
 6465
 6470
 6475
 6480
 6485
 6490
 6495
 6500
 6505
 6510
 6515
 6520
 6525
 6530
 6535
 6540
 6545
 6550
 6555
 6560
 6565
 6570
 6575
 6580
 6585
 6590
 6595
 6600
 6605
 6610
 6615
 6620
 6625
 6630
 6635
 6640
 6645
 6650
 6655
 6660
 6665
 6670
 6675
 6680
 6685
 6690
 6695
 6700
 6705
 6710
 6715
 6720
 6725
 6730
 6735
 6740
 6745
 6750
 6755
 6760
 6765
 6770
 6775
 6780
 6785
 6790
 6795
 6800
 6805
 6810
 6815
 6820
 6825
 6830
 6835
 6840
 6845
 6850
 6855
 6860
 6865
 6870
 6875
 6880
 6885
 6890
 6895
 6900
 6905
 6910
 6915
 6920
 6925
 6930
 6935
 6940
 6945
 6950
 6955
 6960
 6965

detekterende, informasjonslagrende og/eller informasjonsindikerende funksjon. For den foreliggende oppfinnelses formål er det ønskelig at funksjonselementet 17 skal fungere som en logisk celle med enten en svitsjende funksjon som kan benyttes til å realisere logiske komponenter, eller med en informasjonslagrende funksjon som kan benyttes til å realisere minnelementer i en minneinnretning. 5 Spesielt kan funksjonselementet 17 være elektrisk sensitivt, og da slik at elektrodeanordningen vil tillate passiv elektrisk adressering av funksjonselementet. I anordningen på fig. 8a er en underliggende elektrode 11 eksempelvis anbrakt på et ikke vist substrat og over denne elektrode er det anordnet en overliggende elektrode 12 som krysser den underliggende elektrode 11 i en brokonfigurasjon, idet det mellom elektrodene 11, 12 er anordnet et lag 15 av elektrisk isolerende materiale som også strekker seg under hele elektroden 12 og mellom denne og det ikke viste, underliggende substrat. Over begge elektroder 11, 12 er det anordnet et kontaktlag 16 av et elektrisk ledende eller halvledende materiale som kontakterer begge elektroder 11, 12 elektrisk. Langs to motsatte sidekanter av elektroden 12 og til den første elektrode 11 danner kontaktlaget aktive områder ved krysningsstedet for elektroden 11, 12. Spesielt skal materialet i kontaktlaget 16 være en anisotrop leder eller halvleder, og enda mer ønskelig er det å benytte en anisotrop leder som er helt utført i polymermaterialer. Grunnen til dette skal omtales nedenfor. Over kontaktlaget 16 er det anordnet en funksjonselement 17, tilstøtende eller i krysningsstedet for elektrodene 11, 12. I prisnippet kunne funksjonselementet 17 være anordnet i og dannet som en del av kontaktlaget 16 over krysningsstedet for elektrodene 11, 12 og vil da hovedsakelig falle sammen med dette, slik at funksjonselementet 17 hovedsakelig svarer til de aktive områder som dannes i kontaktlaget. 25

Som vist på fig. 8a, er funksjonselementet 17 realisert som separat element og anordnet ved krysningsstedet for elektrodene 11, 12 men over og på toppen av kontaktlaget 16. Den første elektrode 11 kan fordelaktig være utført i aluminium som har en lav arbeidsfunksjon, mens den annen elektrode 12 kan være utført i gull som har en høyere arbeidsfunksjon enn aluminium. Den prinsipielle struktur av et funksjonselement 17 og kontaktlaget 16 er vist på fig. 9. Metall 1 utgjør den første eller underliggende elektrode 11 i anordningen og kan være utført i aluminium. Den danner med Polymer 1 en likerettende schottkyfunksjon, hvor Metall 1 i elektroden 11 utgjør katoden. 30 Polymer 1 er dannet av et første polymermateriale som foretrukket er et polytiofen. Metall 2 i elektroden 12 utgjør strukturens anode og danner en 35

ikke-likerettende funksjon med Polymer 1. Polymer 2 som er et annet polymermateriale, utgjør funksjonselementet 17 og kan være utført slik at det forandrer sine strøm/spenningskarakteristikker ved påtrykking av en elektrisk spenning eller et elektrisk felt. Det annet polymermateriale som er benyttet i funksjonselementet 17, er foretrukket et vannløselig polytiofen (POWT).

Strukturen i fig. 9 tillater en direkte deteksjon av konduktivitetstilstanden til funksjonselementet 17 direkte på basis av strøm/spenningskarakteristikkene til anordningen. Elektrodeanordningen vist på fig. 8 kan benyttes i en elektrisk adresserbar logisk innretning, spesielt en passiv adresserbar minneinnretning, slik den er vist skjematisk realisert på fig. 10. En rekke elektroder 11, 12 er anordnet slik at de danner en hovedsakelig ortogonal matrise av x,y-elektroder og med elektrodeanordningene på fig. 8 i hvert krysningssted for elektrodene. Når elektrodeanordningene er realisert med strukturen vist på fig. 9, fås det ved hvert krysningssted mellom en x-elektrode og en y-elektrode en diode 13 som i hvert tilfelle har samme lederetning. Det er også mulig at den enkelte elektrodeanordning kan være realisert med en iboende likerettende funksjon. Denne likerettende funksjon er nødvendig for å unngå krysstaleproblemer ved adressering av elektrodeanordningen benyttet i en passiv matrise som vist på fig. 10. En selektiv adressering av den enkelte elektrodeanordning krever nemlig at det i hver elektrodeanordning må finnes en likerettende kontakt, f.eks. som nevnt mellom den underliggende elektrode 11 og kontaktlaget 16. Når et funksjonselement 17 i x,y-posisjon i matrisen skal adresseres, må det ikke forekomme noen strømovergang ved tilstøtende krysningssteder $(x+1,y)$, $(x-1,y)$, $(x,y+1)$ eller $(x,y-1)$. Det skal i den forbindelse forstås at diodene 18 på fig. 10 bare utgjør en ekvivalent modell for den likerettende funksjon til elektrodeanordningen i krysningsstedet mellom elektrodene 11, 12.

Når funksjonselementene ved krysningsstedet mellom x,y-elektroder 11, 12 i elektrodematriksen på fig. 10 påtrykkes en elektrisk spenning eller utsettes for en elektrisk felt, vil funksjonselementet undergå forandringer eksempelvis i resistivitet, kapasitans eller strøm/spenningskarakteristikk. Dermed kan det realiseres et passivt elektrisk adresserbart minne, med skriving til den enkelte minneelement i minnet, idet minneelementet naturligvis svarer til elektrodeanordningen med funksjonselementet 17 som vist på fig. 8. Det er også mulig å benytte selve kontaktlaget 16 som minnemateriale og skriving til et minnested eller bitsted, dvs. til den enkelte minnecelle, kan da finne sted ved å forandre de elektriske egenskapene til kontaktlaget i det aktive område i

elektrodeanordningen. Eksempelvis kan skriving finne sted ved at ledningsevnen ødelegges slik at det ikke lenger fås elektrisk kontakt mellom elektrodene 11, 12 i minneelementet. Dette vil kunne benyttes til å realisere et leseminne (ROM) eller et minne av typen WORM. Minnet 10 kan også være
 5 realisert slik at ledningsevnen i kontaktlaget gradvis reduseres. Dersom denne reduksjonen skjer i på forhånd fastsatte trinn, kan hvert minneelement lagre flere bit og minneinnretningen vist på fig. 10 vil da kunne realisere lagring i hver minnecelle i henhold til en gitt flernivåskode. Dette kan øke lagringstettheten i vesentlig grad. I den forbindelse skal det også vises til den
 10 ovenfor omtalte NO patentsøknad 972803.

Elektrodeanordningen som vist på fig. 8 kan også benyttes generelt som en logisk innretning i databehandlingsinnretningen i henhold til oppfinnelsen. Dette forutsetter at funksjonselementet 17 i hver elektrodeanordning er
 15 innrettet slik at det kan svitsjes fra en tilstand til en annen, eventuelt mellom flere tilstander, og dermed kunne benyttes til å realisere logiske porter eller logiske nettverk. Den samme forutsetning vil ligge til grunn dersom innretningen vist på fig. 10 skal benyttes til å realisere en RAM eller et minne av typen ERASABLE. Rent praktisk kan den i NO patentsøknad 973390 viste innretning benyttes til å realisere en minneinnretning i størrelsesorden 1 cm^2
 20 og helt i tynnfilmteknikk. De enkelte minneelementer kan da gjøres så små som det er praktisk mulig å oppnå ved mønstringsmetoder for elektroder, kontaktlag og funksjonselementer. - I prinsippet ville det ikke være noe i veien for at materialet i kontaktlaget var et isotropt ledende materiale, men dette bygger på den forutsetning at kontaktlaget er tynt og at avstanden mellom
 25 elektrodeanordningene, dvs. krysningsstedet mellom elektrodene 11, 12 i matrisen på fig. 10, er stor. - Dersom det er ønskelig med en høy lagringstetthet i en minneinnretning realisert som vist på fig. 10, vil utstrekningen av elektrodeanordningen som vist på fig. 8 være liten og krysningsstedene 11, 12 i elektrodematrisen befinner seg svært nær hverandre.
 30 Det er da en åpenbar fordel å benytte et anisotropt ledende materiale, spesielt et polymermateriale, i elektrodeanordningen på fig. 8.

Endelig skal det nevnes at kontaktlaget også kan realiseres med ikke-lineære strøm/spenningskarakteristikker og være utført i et halvledende organisk materiale, eksempelvis et halvledende polymer. Med utgangspunkt i strukturen
 35 vist på fig. 9 vil det dermed være mulig å realisere elektrodeanordningen på fig. 8 med en transistorfunksjon. Dette skal ikke behandles nærmere her, men vil bli omtalt i det følgende i tilknytning til en drøftelse av transistorer som kan

benyttes til å realisere aktive komponenter i prosesseringsenheten og lagringsenheten i databehandlingsinnretningen i henhold til den foreliggende oppfinnelse. I det ovenstående er det i tilknytning til omtalen av figurene 7-10 hovedsakelig forutsatt at de der viste anordninger skal benyttes til å realisere

5 informasjonslagrende funksjoner, altså være utført som minner i lagringsenheten. Det er som allerede nevnt, intet i veien for at de kan benyttes til å realisere logiske innretninger generelt, dersom det benyttede logiske materiale eller aktive materiale mellom elektrodene kan svitsjes reversibelt. En nærmere omtale av fremstillingen av anordningene som vist på fig. 7-10 er

10 utelatt her, da den til dels vil være velkjent for fagfolk og til dels er beskrevet i den ovenfor omtalte norske patentsøknad og den der anførte litteratur og hvortil det generelt i denne forbindelse kan henvises.

Det skal nå omtales transistorer, spesielt felteffekttransistorer (FET) som kan benyttes som aktive komponenter i prosesseringsenheten og/eller i

15 lagringsenheten i databehandlingsinnretningen i henhold til den foreliggende oppfinnelse og generelt benyttes til å realisere prosessorer og grensesnitt som benyttet i databehandlingsinnretningen i henhold til oppfinnelsen. Er et første processorsjikt anordnet tilstøtende et silisiumsubstrat, vil det naturligvis ikke være noe i veien for at processorsjiktet kan realiseres med komponenter i form

20 av integrerte kretser og da som monolittisk integrerte kretser, men eventuelt også som hybride integrerte kretser. Felteffekttransistorer basert på amorf, uorganiske halvledere og realisert i tynnfilmteknikk vil f.eks. kunne integreres med konvensjonelle monolittiske løsninger i en hovedsakelig silisiumbasert teknologi. Et eksempel på utførelsen av en tynnfilmtransistor med det aktive

25 halvledermateriale i form av amorf Si:H i 10 nm tykt sjikt (D.B. Thomasson & al., IEEE El. Dev. Lett., p.117, bind 18, mars 1997) er vist på fig. 11. På et substrat 20 er det anordnet en grindelektrode 21 som kan være av metall. Over denne grindelektroden er det anordnet et isolerende sjikt 24 av silisiumnitrid (SiN), og derover er det aktive halvledermateriale i form av amorf Si:H

30 anordnet i et 10 nm tykt sjikt. Dren- resp. kildeelektroden 22 er anordnet innbyrdes adskilt på det aktive halvledermateriale 23. De er utført i et annet metall enn det som ble benyttet i grindelektroden 23. Bruken av et processorsjikt P anordnet direkte på substratet S eller tilstøtende et prosessorgrensesnitt 3 anordnet på substratet S gjør det som nevnt mulig å

35 realisere begge sjiktene helt i en konvensjonell halvlederteknologi, enten i form av monolittisk eller hybride integrerte kretser, og dersom de øvrige, overliggende prosessor- og minnesjikt helt er realisert i en teknikk basert på

hovedsakelige organiske materialer, fås det en hybridløsning for databehandlingsinnretningen i henhold til oppfinnelsen.

Det er naturligvis heller ingenting i veien for at samtlige sjikt, dvs. prosessorsjikt, minnesjikt og grensesnittsjikt helt er realisert i organisk tynnfilmteknologi. I den forbindelse vil det være hensiktsmessig å benytte en organisk tynnfilmtransistor som vist på fig. 12 (A. Dodabalapur & al., Appl. Phys. Lett. pp. 4227-29, bind 69, desember 1996). Her benyttes et aktivt halvledermateriale i form av en amorf organisk forbindelse, eksempelvis en polymer eller aromatiske molekyler. Grindelektroden 21 er anordnet på et substrat 20 og over grindelektroden er det anordnet en isolator 24 som godt kan være dannet ved å påføre grindelektrodens overflate et oksidbelegg, eksempelvis realisert ved oksiderende materiale i grindelektrodens overflate. Dren- og kildeelektrodene 22 er anordnet over isolatorsjiktet 24 og innbyrdes adskilt og over dren- og kildeelektrodene er det anordnet et sjikt 23 av aktivt, organisk halvledermateriale som også dekker det blottlagte parti av grindisolatoren 24. Det organiske halvledermateriale kan være en konjugert polymer eller aromatiske molekyler.

Felteffekttransistorer realisert i tynnfeltteknikk som vist på fig. 11 og 12, har meget små dimensjoner i vertikalretningen og vil derfor kunne benyttes i de meget tynne sjikt som prosessorenheten og minneenheten i databehandlingsinnretningen i henhold til oppfinnelsen er forutsatt å bygges opp av. Felteffekttransistorene vist på fig. 11 og 12 er imidlertid utført i horisontal geometri, og vil derfor legge beslag på en forholdsvis stor horisontal flate i sjiktet. Større komponenter i sjiktene vil kunne oppnås dersom det anvendes aktive komponenter i form av felteffekttransistorer med en vertikal geometri, realisert i tynnfilmteknikk og basert på organiske materialer.

En slik felteffekttransistor er beskrevet i norsk patentsøknad nr. 980224 som det her skal henvises til og som tilhører søkeren. På et substrat 20 er det anordnet en film 22 av ledende materiale som utgjør en første elektrode i transistoren. Over denne filmen er det anordnet et isolerende materiale som utgjør den første isolator 25 og derover anordnet et ytterligere ledende materiale som utgjør en annen elektrode 21 i transistoren. På den annen elektrode 21 er det anordnet et isolerende materiale 25 som utgjør en annen isolator i transistoren og over den annen isolator er det anordnet en film 22' av ledende materiale som utgjør en tredje elektrode i transistoren. Realisert som en felteffekttransistor utgjør nå de første og tredje elektroder 22, 22'

henholdsvis transistorens drenelektrode og kildeelektrode eller omvendt. Den annen elektrode 21 utgjør grindelektroden. Både den annen og den tredje elektrode 21; 22 samt isolatorene 25 er anordnet på den første elektrode 22, slik at de over denne og substratet 20 danner et vertikalt trinn hvis utstrekning er antydnet med henvisningstallet 26 på fig. 13. Dermed dekker strukturen bestående av den annen og tredje elektrode 21 og 22' samt isolatorene 25 bare en del av substratet 20, og den horisontale utstrekning av sjiktene som danner den vertikale trinn 26 på den første elektrode 22 eller substratet kan realisert i tynnfilmteknikk gjøres meget liten, eksempelvis noen ti-nanometre. Over den blottlagte overflate av grindelektroden 25 som inngår i det vertikale trinn 26, er det anordnet et isolerende materiale 24 som utgjør grindisolatoren i felteffekttransistoren. Over toppen av den tredje elektrode 22' som eksempelvis kan være kildeelektroden i transistoren, over det vertikale trinn 6 og ned til den første elektrode 22, som kan være drenelektroden i transistoren, er det anordnet et sjikt 23 av aktivt halvledermateriale som kan være et amorf, polykrystallinsk eller mikrokryallinsk uorganisk eller organisk halvledermateriale.

Grindelektroden 25 er isolert mot det aktive halvledermateriale 23 av grindisolatoren 24, slik at ladningsinjeksjon forhindres. En hovedsakelig vertikal transistorkanal 23' er definert i det aktive halvledermateriale 23 og strekker seg mellom kilde- og drenelektroden 22, 22' og hovedsakelig tilstøtende det vertikale trinn 26 som vist. Det er valgfritt om den første elektrode 22 og den tredje elektrode 22' skal være henholdsvis drenelektrode eller kildeelektrode. Transistoreffekten vil enten være gitt ved en utarmingsmode eller en anrikingsmode, avhengig av grindpotensiale. - Med hensyn til fremstillingen av denne felteffekttransistor i tynnfilmteknikk skal det henvises til den anførte patentsøknad. Felteffekttransistoren som realisert i tynnfilmteknikk, vil i vertikalretningen ha dimensjoner som helt ut er kompatible med tykkelsen av prosessorsjiktet eller minnesjiktet realisert i tynnfilmteknologi for bruk i databehandlingsinnretningen i henhold til oppfinnelsen, men vil ha langt mindre horisontal utstrekning enn eksempelvis tynnfilmtransistoren vist på fig. 12 og derfor kunne gi en høyere komponenttetthet i et angjeldende sjikt. - Ytterligere en felteffekttransistor med MIS-struktur realisert i tynnfilmteknikk er vist i US patent nr. 5347144 (Garnier et al.) som det her skal henvises til og som er overdratt til søkeren. Den der viste MISFET realisert i tynnfilmteknikk vil kunne benyttes som svitsjende eller forsterkende komponent i databehandlingsinnretningen i

henhold til den foreliggende oppfinnelse. Denne transistor har et tynt halvledersjikt mellom en kildeelektrode og en drenelektrode. Halvledersjiktet står i kontakt med en overflate av en tynnfilm av et isolerende materiale og kontakterer med sin annen overflate en ledende grindelektrode. Selve halvledermaterialet består av minst en polykonjugert organisk forbindelse med en bestemt molekylvekt. Tynnfilm av isolerende materiale er utført i en isolerende organisk polymer som kan ha en dielektrisk konstant på minst 5.

I forbindelse med omtalen av anordningen på fig. 11, 12 og 13 skal det forstås at de enkelte spesifikt omtalte sjikt i realiteten vil utgjøre et undersjikt når den viste anordning inngår i et prosessorsjikt P eller minnesjikt M i databehandlingsinnretningen i henhold til oppfinnelsen.

Det er forøvrig i den senere tid foreslått og beskrevet også andre aktive halvlederkomponenter hvor halvlederne er basert på organiske polymerer eller oligomerer. Det vil derfor generelt ikke være vanskelig å realisere databehandlingsinnretningen i henhold til den foreliggende oppfinnelse helt ut med komponentene dannet av hovedsakelig organisk materialer, det være seg i prosesseringsenheten eller lagringsenheten.

For den foreliggende oppfinnelse kan det være særlig attraktivt å benytte organiske materialer hvis elektriske egenskaper kan modifiseres under påvirkning av elektromagnetisk stråling, partikkelstråling eller elektriske felt. Spesielt er det attraktivt for den foreliggende oppfinnelse å danne de enkelte sjikt av et eller flere undersjikt av slike materialer som er behandlet, enten før eller etter sammenføyningen til ett eller flere hovedsjikt, med bruk av elektromagnetisk stråling med gitte intensiteter eller frekvenskarakteristikker, slik at de enkelte undersjikt som inngår i et hovedsjikt P,M,MP dermed får de ønskede elektriske egenskaper i valgte partier, eks. ved at den benyttede stråling spatialmoduleres gjennom en maske eller en spatial lysmodulator. En slik prosess vil i prinsippet derfor kunne minne om bruk av fotolitografisk teknikk i vanlig halvlederteknologi.

Ved den foreliggende oppfinnelse kan derfor det enkelte sjikt, det være seg et prosessorsjikt P eller et minnesjikt M være bygget opp av undersjikt som skal tilføres forskjellige egenskaper før de settes sammen til et hovedsjikt. I et minne kan f.eks. minnematerialet være anordnet i et sentralt undersjikt og omgitt av separate elektrodesjikt, og det kan mellom de enkelte undersjikt være anordnet separate isolatorsjikt, slik dette f.eks. fremgår av fig. 7g. Tilsvarende

- kan f.eks. en aktiv komponent som transistoren på fig. 12 bygges opp ved avsetning av undersjikt 20, 21, 22, 23 med bestemte egenskaper. Det er imidlertid tenkbart at en transistorstruktur lik den på fig. 12 kan realiseres i et og samme organiske materiale, idet de enkelte undersjikt behandles separat før sammenføyningen ved bestråling med f.eks. lys, slik at hvert undersjikt
- 5 mønstret eller umønstret får den ønskede elektriske egenskap som skal være med på å realisere en felteffekttransistor i tynnfilmteknikk. Det vil si at et første undersjikt må være en isolator, et annet undersjikt en leder, et tredje undersjikt en halvleder, et fjerde undersjikt en isolator og endelig et femte
- 10 undersjikt igjen en elektrisk leder. Til bruk i den foreliggende oppfinnelse, enten det dreier seg om minneenheter eller prosessorenheten, er det ønskelig å kunne benytte også aktive komponenter, f.eks. som de nevnte transistorer, helt realisert i organisk materiale, eksempelvis polymerer. Likeledes er det av interesse å kunne danne blant annet integrerte kretser realisert helt i form av
- 15 tynnfilmer i polymer. Som ovenfor nevnt har blant annet Garnier et al. utviklet og patentert en metall-MIS-felteffekttransistor hovedsakelig helt realisert i polymerteknologi. Generelt er det av interesse å kunne realisere organiske felteffekttransistorer i tynnfilmteknikk som samtidig tillater integrasjon av komponentene.
- 20 Et eksempel på en MISFET realisert helt i polymer, med bruk av polymermaterialer som tilføres de ønskede elektriske egenskaper ved en eksponering overfor UV-stråling, er vist i artikkelen "Polymeric Integrated Circuits and Light Emitting Diodes" av D. M. de Leeuw & al., IEDM, pp. 331-336 (1997).
- 25 For å fremstille integrerte kretser helt i polymer benyttes fotokjemisk mønstring av dopede, elektrisk ledende polyanilinfilmer (PANI-tynnfilmer). Disse oppløses i et egnet løsningsmiddel, og oppløsningen tilsettes en fotoinitiator, hvorefter oppløsningen spinnavsettes på et egnet substrat så som en polyamidfilm. Ved deretter å eksponere PANI-filmen med dyp UV-stråling
- 30 gjennom en maske, omdannes det initialt ledende polyanilin i de eksponerte områder til den ikke-ledende leukoemeraldin-form. Utgangspunktet er her altså et ledende polymermateriale, hvis arealresistans initialt utgjør 1 kiloohm/kvadrat, men som etter eksponeringen får en arealmotstand på mer enn 10^{13} ohm/kvadrat.

På denne måten kan det dannes dielektriske strukturer i en ellers ledende grunnmasse. Slike tynnfilmer behøver heller ikke å planariseres etter eksponeringen.

Fig. 14 viser en MISFET realisert som foreslått av D.M. de Leeuw & al. Her er
 5 dopet polyanilin PANI avsatt som en tynnfilm 22 på et polyimidsubstrat 20.
 Etter eksponering med UV-lys gjennom passende masker dannes isolerende
 strukturer 25 i den ellers ledende PANI-film 23. De fortsatt ledende områder
 22 i PANI-filmen definerer henholdsvis kilde- og drenelektroden i en MISFET-
 transistor. PANI-filmen 25 behøver ikke å være tykkere enn 200 nm og
 10 komparabel med polyimidsubstratets 20 tykkelse. Over PANI-filmen 22 er det
 avsatt et ytterligere sjikt 23 av polytienylenvinylen eller PTV som er et
 organisk halvledermateriale. PTV-sjiktet 23 er typisk ca 50 nm tykt og kan
 avsettes ved kjente filmavsetningsteknikker. Den halvledende PTV-film
 bestemmer hovedsakelig de elektriske parametre til MISFET-transistoren som
 15 vist på fig. 14. Over PTV-sjiktet avsettes nå et 250 nm tykt sjikt 24 av
 polyvinylfenol (PVP), eksempelvis ved spinnavsetning. Dette PVP-sjikt 24
 utgjør grindisolatoren i felteffektransistoren og er ugjennomsiktig overfor UV-
 stråling og synlig lys. Nok en PANI-film 21 avsettes på toppen av PVP-sjiktet
 24 og mønstres ved bestråling igjen med ultrafiolett lys, slik at det dannes
 20 isolerende strukturer 25 som vist på fig. 14. Området 21 er fortsatt elektrisk
 ledende og utgjør grindelektroden i MISFET-strukturen.

Skal flere slike transistorer kombineres i integrerte kretser, må det benyttes
 vertikale strømkoblinger mellom eksempelvis kilde- og drenelektroder i en
 transistor og grindelektroden i en annen transistor. Slike vertikale strømløp
 25 kunne la seg realisere mekanisk, men langt mer attraktivt er det å benytte en
 fremgangsmåte som er foreslått i NO patentsøknad nr. 98 0385 som det her
 skal henvises til og som er overdratt til søkeren. I denne patentsøknad er det
 angitt en fremgangsmåte til å danne elektrisk ledende og halvledende strukturer
 in situ i et initialt ikke-ledende eller dielektrisk materiale, noe som gir en rekke
 30 produksjonstekniske fordeler. Slike strukturer kan benyttes til å realisere
 horisontale og vertikale strømløp i tynne sjikt, eksempelvis for å implementere
 forskjellige tynnfilmteknologier, og dessuten til å realisere aktive og passive
 komponenter ved bruk av samme teknologi.

Det har i teknikken lenge vært kjent at visse organiske makromolekyler,
 35 polymerer og til og med biologiske materialer har den egenskap at de kan
 kontrollere eller modifisere elektriske og/eller optiske signaler. Slike materialer

er generelt kjent som molekulære elektroniske materialer. Et eksempel på et slikt materiale er vist i artikkelen "A new material for optical, electrical and electronic thin film memories" av Z.Y. Hua og G.R. Chen, Vacuum, bind 43, nr. 11 pp.1019-1023, (1992). Dette materiale er et organometallisk

5 ladningsoverføringskompleks $M(\text{TCNQ})$ dannet av TCNQ (7,7,8,8-tetracyanoquinodimetan, $\text{C}_{12}\text{H}_4\text{N}_4$) som virker som et elektronakseptormolekyl med forskjellige metaller (M) som elektronrike donorer. Dette materiale kan under påvirkning av elektriske felt eller lysstråling og for den saks skyld også energi tilført i form av varme eller elektriske felt gå over fra en

10 høyimpedanstilstand til en lavimpedanstilstand. Reaksjonen er reversibel, slik at $M(\text{TCNQ})$ kan benyttes til å realisere et bistabilt svitsjemedium, f.eks. et utviskbart minnemateriale. Ved å velge elektrondonoren M blant forskjellige metaller, så som Li, Na, K, Ag, Q eller Fe fås modifikasjoner av $M(\text{TCNQ})$ som er sensitive overfor bestemte bølgelengder av lys. I tynne sjikt,

15 eksempelvis på 100 til 200 nm, har $M(\text{TCNQ})$ ikke-lineære strøm-spenningskarakteristikker og kan benyttes til å realisere ROM og RAM. For dette formål er det særlig interessant at $M(\text{TCNQ})$ stabilt og reproduserbart tillater strømstyrt, bistabil elektrisk svitsjing. I et elektrisk adresserbart minne kan eksempelvis høyimpedanstilstanden benyttes til å representere binær 1 og

20 lavimpedanstilstanden binær 0. Overgangstiden mellom to tilstander er mindre enn 400 ns. Materialet kan derfor benyttes til å realisere elektrisk adresserbare minner av den art som er vist på og omtalt i tilknytning til f.eks. fig. 7a-7d.

For den foreliggende oppfinnelses formål er det imidlertid spesielt ønskelig å benytte materialer som gjør det mulig å realisere undersjiktene i

25 databehandlingsinnretningen i henhold til oppfinnelsen med en veldefinert modus og grad av elektrisk ledning i produksjonsprosessen og før sammenføyningen av undersjiktene alt etter den tiltenkte funksjon til prosessorsjikt P eller minnesjikt M eller kombinasjoner MP av slike. Slike materialer vil i det følgende generelt betegnes som konverterbare materialer

30 CM, idet konverteringen av materialenes elektroniske egenskaper kan finne sted reversibelt eller irreversibelt under påvirkning av stråling, herunder både fotonstråling og partikkelstråling, varme eller elektriske felt. Ved en spatial modulasjon av strålingen eller de elektriske felt kan materialet mønstres, idet den ønskede konvertering av de elektroniske egenskaper vil være avhengig av

35 den tilførte energi eller den benyttede feltstyrke. Dette er omtalt nærmere i den ovennevnte norske patentsøknad 980385. I motsetning til den ovenfor omtalte PANI-film vil det være foretrukket at materialene i utgangspunktet befinner

seg i en dielektrisk eller elektrisk ikke-ledende tilstand. Hvor materialet CM ikke er påvirket av elektriske felt eller lys, vil det naturligvis beholde sine dielektriske egenskaper og utgjøre en isolator, men mens det i påvirkede områder alt etter konversjonsgraden vil kunne fremstå med elektrisk

5 halvledende eller ledende egenskaper. Områder i den ledende film kan dermed i fremstillingsprosessen stabilt gis en bestemt grad og modus av elektrisk ledningsevne, slik at det for formålet fremstår som elektrisk ledende og kan benyttes til å danne elektroder og strømløp i det enkelte undersjikt, eller som halvledende og danne det aktive materiale i dioder og transistorer. Benyttet

10 som minnemateriale skal konverteringen dessuten være reversibel, slik at materialet CM danner en bistabil elektrisk svitsj og muliggjør elektrisk adresserbare og utviskbare minner av den ovennevnte art, jf. diskusjonen i tilknytning til minnet vist på fig. 7a-7h. Materialet CM vil typisk være et organisk materiale, eksempelvis molekyler, oligomerer eller polymerer som går

15 over fra en initial første tilstand til en annen tilstand under påvirkning av lys i et bestemt frekvensområde. Det skal naturligvis forstås at overgangen mellom den første tilstand og den annen tilstand skal være kjennetegnet av en forandring i grad og modus av den elektrisk ledningsevne.

Som eksempel på materialer som kan gå over fra isolerende til ledende

20 tilstander ved bestråling med lys, kan nevnes forskjellige konjugerte polymerer hvor det benyttes samtidig eksponering overfor en egnet dopant på gass- eller væskeform, eller polyfenylvinylene (PPV)-forløpere impregnert med fargestoff med sterkt frekvensselektiv absorpsjon av lys som gjør at de kan omdannes til en konjugert polymer ved bestrålingen. Videre kan et 2,5-

25 dimetoksyfenylenderivat av PPV (DMEO-PPV) gå over fra isolerende til halvledende tilstand ved en eliminasjonsreaksjon av polyelektrolyttfilmer dannet derav. Det vil da dannes en helkonjugert kjede ved bestråling med laserlys. - For fagfolk er en lang rekke slike organiske eller polymerbaserte materialer velkjent og omtalt i litteraturen, og det skal igjen henvises til den

30 ovennevnte norske patentsøknad og de der anførte litteratursteder, blant annet med omtale av organisk baserte tynnfilmtransistorer. - Halvledende PPV kan dannes av en sulfoniumsaltforløper ved ionebestråling på 1000 kV Ne^+ .

Fig. 15 viser en foroverforspent PN-junksjonsdiode som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen og realisert i

35 tynnfilmteknikk med seks undersjikt SS1-SS6. Sjiktene SS3 og SS4 inneholder det aktive halvledermateriale anordnet mellom elektrodene 29 i henholdsvis undersjiktene SS2 og SS5. Det aktive materiale 23' i undersjiktet SS3 er en N-

- dopet halvleder, mens det tilstøtende aktive materiale 23 i undersjiktet SS4 er en P-dopet halvleder. Elektrodene 29 i sjiktene SS2 og SS5 kontakteres av horisontale elektrisk ledende strukturer eller lederbaner 27 i sjiktene SS1 og SS6. De enkelte sjikt i diodestrukturen på fig. 5 har typisk en tykkelse på ca. 100 nm, slik at hele strukturen danner et sjikt med en tykkelse mindre enn 1 μm . Den horisontale utstrekning eller arealet av diodestrukturen vil være bestemt av fremgangsmåten til generering av ledende og halvledende strukturer, men vil ved å benytte f.eks. synlig eller ultrafiolett lys kunne gi en utstrekning på mindre enn 1 μm .
- Fig. 16 viser skjematisk en MOSFET til bruk i den foreliggende oppfinnelse og realisert helt i organisk materiale i tynnfilmteknikk. Grindelektroden 21 er anordnet i undersjiktet SS1 og forbundet med den horisontale ledende struktur 27, mens undersjiktet SS2 utgjør grindisolatoren 24. Det aktive halvledende materiale 23 er anordnet i undersjiktet SS3 og registrerer med grillelektroden 21. Kilde- og drenelektrodene 22 er anordnet i det påfølgende undersjikt SS4 og utgjør elektrisk ledende områder i det ellers dielektriske materialer SS4. Horisontale elektrisk ledende strukturer i toppsjiktet SS5 kontakterer henholdsvis kilde- og drenelektroden 22 i undersjiktet SS4. Da elektroder og strømløp 27 godt kan ha de samme elektriske egenskaper, kunne også de horisontale elektrisk ledende strukturer 27 være anbrakt i sjiktet SS4 og kontakte elektrodene 22 der, slik at MOSFET-strukturen på fig. 16 kommer til å bestå av fire undersjikt SS1-SS4 i alt. Hvert undersjikt vil da spesifikt bestå av enten elektrisk ledende strukturer, være dielektrisk eller omfattende en halvledende struktur. Tykkelsen til en MOSFET av denne art kan utgjøre ca. $\frac{1}{2}$ μm , mens utstrekningen i horisontalplanet, slik den kan realiseres med dagens teknikk vil være fra høyst noen få μm til under 1 μm .
- MOSFET-strukturen på fig. 16 kan nå benyttes i logiske porter, eksempelvis en logisk inverter i CMOS-teknikk som vist på fig. 17. En slik inverter er dannet ved en parallellkobling av kilde- og drenelektroden i henholdsvis en NMOSFET og en PMOSFET. For dette formål er det dannet en vertikal ledende struktur 28 som går gjennom samtlige undersjikt SS1-SS11 og forbinder elektrodene 22'. Utgangssignalet fra inverteren føres på denne ledende struktur 28 til en horisontal ledende struktur 27 til venstre på figuren. MOSFETenes grillelektroder 21 mottar inngangssignalet via den horisontale ledende struktur 27 i undersjiktet SS6 til høyre på figuren. Da grillelektrodene 22 naturligvis står på samme potensial, kunne de være felles for inverteren,

hvis MOSFETer på tegningen er vist realisert i en rygg-mot-rygg-løsning. Også de vertikale elektrisk ledende strukturer i undersjiktene SS1 og SS11 kunne være flyttet til undersjiktene SS2 og SS10. Inverterstrukturen på fig. 17 kunne dermed realiseres med syv og ikke elleve undersjikt som vist på fig. 17.

- 5 Tykkelsen av samtlige undersjikt ville da være mindre enn $1\text{ }\mu\text{m}$, typisk realisert med ca. $0,7\text{ }\mu\text{m}$ tykkelse, mens inverterens horisontale utstrekning vil ha de dimensjoner som er anført ovenfor i tilknytning til omtalen av MOSFET-strukturen på fig. 16.

- 10 Aktive komponenter som MOSFET-strukturen vist på fig. 16, vil bli benyttet i den foreliggende oppfinnelse til å danne integrerte kretser, eksempelvis prosessorer i databehandlingsinnretningen i henhold til oppfinnelsen. Slike integrerte kretser dannes ved stabling av undersjikt med strukturer som har de
- 15 ønskede elektriske egenskaper og helt ut er realisert i en organisk tynnfilmteknikk. Spesifikt er det følgende eksempel knyttet til en OG-port realisert i CMOS-teknikk, eksempelvis med bruk av transistorstrukturen som vist på fig. 16.

- For å lette forståelsen av hvordan aktive komponenter som felteffekttransistorer kombineres i undersjikt til funksjonelle komponenter som eksempelvis logiske porter, skal det henvises til fig. 18 som viser
- 20 koblingsskjemaet for en OG-port realisert i komplementær MOS-teknologi (CMOS-teknologi). CMOS-OG-porten er realisert med henholdsvis NMOSFETer og PMOSFETer av anrikingstypen, som svitsjer. To inngangssignaler A og B er ført henholdsvis til grindelektroden på PMOS Q_1 og Q_2 og grindelektroden på NMOS Q_3 og Q_4 . Dersom begge inngangssignaler
- 25 A og B er høye, vil utgangssignalet \bar{X} være lavt. Q_3 og Q_4 vil i dette tilfelle begge være på, og PMOS-bryterne Q_1 og Q_2 vil begge være av, dvs. at det ikke går noen strøm og utgangssignalet \bar{X} blir derfor lavt. Hvis derimot enten inngangssignalet A eller inngangssignalet B er lavt eller begge er lave, vil
- 30 tilsvarende PMOS-transistor Q_1 resp. Q_2 slås på, og utgangssignalet \bar{X} blir høyt da enten den ene eller begge av de seriekoblede NMOS Q_3 , Q_4 er av og ingen strøm går. Komponentene Q_1 , Q_2 , Q_3 , Q_4 danner som man vil se, en NOG-port, og for å realisere en OG-port er det nødvendig å forbinde utgangen fra NOG-porten med en logisk inverter som også er realisert i MOS-teknikk, henholdsvis med bruk av en PMOS-bryter Q_5 og en NMOS-bryter Q_6 koblet i parallell, jf.
- 35 fig. 17. Dette er en standard CMOS-inverter, og er dens inngangssignal \bar{X} høyt,

- vil dens utgangssignal X være det inverterte av inngangssignalet \bar{X} og følgelig lavt. Omvendt vil et lavt inngangssignal \bar{X} inverteres til et høyt utgangssignal X og dette svarer til at inngangssignalene A og B til NOG-porten begge er høye. Med andre ord vil det være lett å innse at kretsen som vist på fig. 18, realiserer en OG-port, og en fagmann vil skjønne at tilsvarende kan logiske ELLER- og NELLER-porter realiseres og med hvilket som helst antall innganger. I prinsippet kan imidlertid samtlige booleske funksjoner realiseres med kombinasjoner av en porttype og en eller flere invertere realisert i CMOS-teknikk, eksempelvis med bruk av transistorstrukturen som vist på fig. 16.
- 10 Rent praktisk lar OG-porten seg implementere i tynnfilmteknikk som vist på fig. 19a-19d og med bruk av MOSFET-strukturer tilsvarende den som er vist på fig. 16. Fig. 19a-19d viser OG-porten helt ut realisert i tynnfilmteknikk og med de aktive og passive komponenter anordnet i fire undersjikt SS_1 - SS_4 . Det første undersjikt SS_1 (fig. 19a) rommer grindelektrodene g_1 - g_6 hvor indeksen 15 viser til de tilsvarende indekser for MOSFETene Q_1 - Q_6 på fig. 18. Inngangene A og B er ført til henholdsvis grindelektrodene g_1 , g_3 og g_2 , g_4 og over horisontale elektrisk ledende strukturer eller strømløp 27. Tilsvarende er grindelektrodene g_5 , g_6 i inverteren forbundet med et horisontalt strømløp 27. En vertikal elektrisk ledende struktur er betegnet med 28, idet symbolet Δ angir 20 at den strekker seg oppad i vertikal retning fra undersjiktet SS_1 . På fig. 19b er det likeledes med symbolene Δ samt ∇ antydning at den vertikale lederstruktur 28 i sjiktet SS_3 strekker seg vertikalt gjennom dette sjiktet og på begge sider av det. Sjiktet SS_3 omfatter områder med aktive halvledermaterialer $b_1 \dots b_2$ som er tilordnet og registrerer med de tilsvarende grindelektroder g_1 - g_6 i 25 undersjiktet SS_1 . - Det skal bemerkes at et undersjikt SS_2 utelukkende, bortsett fra den vertikale lederstruktur 28 som også strekker seg gjennom dette undersjikt og på begge sider av det, består av dielektrisk materiale som utgjør en felles grindisolator for MOSFETene Q_1 - Q_6 som utgjør OG-porten. Undersjiktet SS_2 befinner seg selvfølgelig mellom SS_1 og SS_3 , men er utelatt 30 på tegningen. - Sjiktet SS_4 (fig. 19c) er anordnet over og tilstøtende sjiktet SS_3 og omfatter henholdsvis kildelektrodene s_1 - s_6 og drenelektrodene d_1 - d_6 for de tilsvarende MOSFETer Q_1 - Q_6 . Det aktive halvledermaterialet b_1 - b_6 som befinner seg i undersjiktet SS_3 , er her antydning med stiplede linjer. Det vertikale strømløp 28 strekker seg også gjennom sjiktet SS_4 og på begge sider av dette 35 og kontakter et horisontalt strømløp 27 i undersjiktet SS_5 som vist på fig. 19d. Dette horisontale strømløp 27 svarer til forbindelsen mellom drenelektrodene d_2 og d_3 for de tilsvarende MOSFETer Q_2 , Q_3 og står dessuten

også i forbindelse med drenelektroden d_1 på Q_1 . Et annet horisontalt strømløp 27 utgjør seriekoblingen mellom kildeelektroden s_1 på Q_3 og drenelektroden d_4 på Q_4 . Kildeelektroden s_4 og s_6 på henholdsvis Q_4 og Q_6 er koblet til jord via ytterligere horisontale lederstrukturer 27, mens den horisontale lederstruktur 27 lengst til høyre i undersjiktet SS_5 påtrykkes med spenningen V_{dd} og forbinder kildeelektroden s_1 , s_2 , s_3 på henholdsvis Q_1 , Q_2 og Q_5 . Et ytterligere horisontalt strømløp 27 øverst på fig. 19d danner parallellkoblingen mellom drenelektroden d_5 , d_6 på Q_5 , Q_6 samt utgangslinjen, betegnet med X. Det inverterte utgangssignal \bar{X} fra NOG-porten bestående av Q_1 , Q_2 , Q_3 , Q_4 er ført på det vertikale strømløp 28. Fig. 20 viser skjematisk hvordan sjiktene på fig. 19 fremtrer i stablet konfigurasjon, idet undersjiktet SS_2 med grindisolatoren her er medtatt. For tydelighets skyld er imidlertid stabelen vist utspilt i sine enkelte undersjikt $SS_1 - SS_5$, men med korrekt registrering og forløpet av den vertikale strømløp 28 gjennom samtlige undersjikt antydning ved den stiplede linje. Med grindelektrodesjiktet SS_1 anordnet på et underliggende, ikke vist dielektrisk sjikt, kan hele OG-strukturen som vist på fig. 20, ha en tykkelse på $0,75 \mu\text{m}$ og et areal på ca. $100 \mu\text{m}^2$ ($12,8 \mu\text{m}^2$). Strukturens volum vil dermed være ca. $75 \mu\text{m}^3$. Med konservativ romlig oppløsning innebærer dette at ca. 10 000 logiske porter av denne art kan realiseres på et areal på 1mm^2 og med en tykkelse godt under $1 \mu\text{m}$. Tilsvarende skalert utgjør lengden av strømløpene 27, 28 utgjør tilsammen ca. $60 \mu\text{m}$.

En reduksjon av strømløplengden og en betydelig forenkling av OG-portens struktur kan fås ved å stable MOSFET-strukturene vertikalt som vist på fig. 21. Igjen er det benyttet de samme henvisningstall som på fig. 19 og 20, og det vil ses at den vertikale OG-portstruktur utnytter det forhold at grindelektroden g_1 og g_3 til transistorene Q_1 , Q_3 befinner seg på samme felles potensial, grindelektroden g_2 og g_4 i Q_2 , Q_4 på et annet felles potensial og grindelektroden g_5 og g_6 i Q_5 , Q_6 på et tredje felles potensial. Følgelig er transistorene $Q_1 - Q_6$ implementert i en parvis rygg-mot-rygg-konfigurasjon ved felles grindelektroder g_1 , g_3 ; g_2 , g_4 ; g_5 , g_6 for de tilsvarende MOSFET-strukturer Q_1 , Q_3 ; Q_2 , Q_4 ; Q_5 , Q_6 . Hver av de parvis koblete MOSFET-strukturer er anordnet på et isolerende sjikt som på fig. 21 befinner seg under Q_3 , mellom Q_1 og Q_4 og mellom Q_2 og Q_5 i hver av MOSFET-strukturene. Naturligvis er også grindelektroden g isolert fra det aktive halvledermateriale b ved ikke nærmere betegnede isolasjonssjikt som utgjør de respektive grindisolatorer. De horisontale strømløp på figurene 19 og 20 er nå i alt vesentlig erstattet av vertikale strømløp som strekker seg gjennom sjiktene og

5 skaffer den samme kobling som vist på ekvivalentkretsen på fig. 18. Spesifikt er det strømløp 28 som også er realisert vertikalt i konfigurasjonen på fig. 20, vist, og det vil ses at det som før forbinder grindelektrodene g_5 , g_6 på Q_5 , Q_6 med koblingen mellom drenelektrodene d_2 , d_3 på Q_2 , Q_3 samt drenelektroden d_1 på Q_1 .

10 Den vertikale OG-portstruktur på fig. 21 er dannet med i alt 30 undersjikt, hvorav seks forholdsvis tykke isolerende sjikt utgjør grindisolatorene og tre tilsvarende tykke isolerende sjikt isolerer de parvise kombinasjoner av MOSFET-strukturene innbyrdes. Med de samme dimensjoner som antydnet i forbindelse med omtalen av fig. 20 vil således hele den stablede sjikt i konfigurasjon på fig. 21 ha en tykkelse på $3,6 \mu\text{m}$ og være anordnet på et areal på $16 \mu\text{m}^2$. Også her kunne strømløpene til kilde- og drenelektrodene s,d være anordnet i samme sjikt som disse, og det totale volum av konfigurasjonen på fig. 21 blir dermed ca. $50 \mu\text{m}^3$, en reduksjon i volumet med $1/3$ i forhold til konfigurasjonen på fig. 20. Viktigst er det imidlertid at strømløpene som i 15 konfigurasjonen på fig. 20 ut fra de antydende dimensjoner vil ha en lengde på $52 \mu\text{m}$, i konfigurasjonen på fig. 21 godt kan utgjøre mindre enn $20 \mu\text{m}$ i en optimal utførelse, hvilket innebærer en reduksjon på godt over 60%. Det skal i den forbindelse spesielt tas i betraktning at fig. 21 er skjematisk og at de 20 vertikale strømløp er innbyrdes forskjøvet i horisontalplanet for å fremtre tydligere. De kan imidlertid ligge sammen plan parallelt med en av strukturens sideflater.

25 Innenfor rammen av dagens tynnfilmteknologi og med bruk av teknikker som ovenfor omtalt for å frembringe elektrisk ledende og halvledende strukturer i tynnsjikt ved bestråling av konvertible organiske materialer, er det fullt mulig å redusere de lineære dimensjoner i horisontalretningen, slik at komponenttettheten kan økes med minst én størrelsesorden. Dette impliserer at konfigurasjonen på fig. 20 vil kunne realisere 10^5 logiske porter av den viste art på 1 mm^2 og med en sjikttykkelse på godt under $1 \mu\text{m}$, mens 30 konfigurasjonen på fig. 21 ville kunne realisere $6 \cdot 10^5$ porter på samme areal med en noe bedre formfaktor, slik at økningen i komponenttettheten blir på ca. 25% i forhold til komponenttettheten til konfigurasjonen på fig. 20. En slik forbedring i komponenttettheten forutsetter som nevnt ikke annet enn en forbedring i arealtettheten med én størrelsesorden, og dette er sannsynligvis 35 ingen øvre grense, da det med linjebredder i størrelsesorden $0,2 \mu\text{m}$, hvilket

synes oppnåelig med dagens teknikk, vil være mulig å øke arealtettheten med to størrelsesordener og dermed kunne anordne 10^6 logiske porter på 1 mm^2 stort sjikt med en tykkelse på ca. $0,5 \text{ }\mu\text{m}$

5 Databehandlingsinnretningen i henhold til den foreliggende oppfinnelsen vil foretrukket være bygget opp i form av stablede lag på et krystallinsk halvledersubstrat, eksempelvis av silisium og med et derpå følgende sjikt realisert i en kompatibel, uorganisk halvlederteknologi. Dette første sjiktet kan foretrukket være et prosessorsjikt P eller utgjøre et prosessorgrensesnitt eller 10 kombinasjon av et prosessorsjikt og et prosessorgrensesnitt, idet det siste vil kunne bidra til en styrt eller dynamisk konnektivitet av multiprosessornettverk realisert i en annen, eksempelvis organisk teknologi og anordnet i prosessorsjikt P eller kombinerte prosessor- og minnesjikt MP stablet over bunnsjiktet som er utført i konvensjonell uorganisk halvlederteknologi. Dermed fåes det en hybrid uorganisk/organisk utførelse hvis arkitektur tillater 15 høyhastighetsprosessorkretser kombinert med ytterligere prosessorer og minner basert på amorf og polykrystallinske materialer anordnet i stablede sjikt over det uorganiske halvledersjikt. Hele databehandlingsinnretningen vil dermed fremstå som en hybrid og innbefatte konvensjonelle halvlederteknologier, eksempelvis basert på silisium, men også eventuelt på galliumarsenidteknologi 20 og dessuten med ytterligere bruk av organiske materialer og tilhørende teknologi for dannelsen av henholdsvis prosessor- og minnesjikt P, M, MP i slike materialer med bruk av i og for seg kjente metoder for avsetning, mønstring og fysisk-kjemisk prosessering. Et viktig trekk ved denne hybride utførelse er at eksempelvis silisiumbasert kretser i substratet kan fremstilles i standard 25 produksjonslinjer for silisiumteknologi uten fare for forurensning fra organiske materialer. Sjiktene som er dannet av organiske materialer, kan påføres i påfølgende prosessstrinn på spesielle produksjonslinjer.

Selv om det i henhold til oppfinnelsen er foretrukket at forbindelsene mellom sjiktene, strømtilførsler og strømløp kan dannes ved fotokonvertering, dvs. 30 generering av ledende horisontale og vertikale strukturer i et initialt dielektrisk organisk sjiktmateriale, kunne naturligvis også de elektriske forbindelser dannes på mer tradisjonelle måter, eksempelvis ved hjelp av litografiske eller mekaniske teknikker, herunder etsing, stansing osv.

Rent produksjonsteknisk kan både i en hybrid uorganisk/organisk utførelse 35 eller en helorganisk utførelse sjiktene dannet av organisk materiale avsettes i stablet konfigurasjon etter at de ønskede operasjoner for dannelsen av ledende

og halvledende strukturere er gjennomført. De enkelte sjikt og undersjikt kan eksempelvis genereres ved prosessering, f.eks. for fotokonversjon av tynnfiler, i løpende bane, hvorefter sjiktene lamineres sammen for å danne den stablede struktur. Fotokonvertering kan også utføres på allerede stablede, ikke-behandlede sjikt, men dette forutsetter at stabelen da omfatter sjikt hvor materialet i hvert sjikt er spektralselektivt, slik at det fotokonverteres bare ved bruk av stråling i et bølgelengdeområde spesifikt for det enkelte sjikt og forskjellig fra sjikt til sjikt. Fotokonverteringen må da starte med det nederste sjikt i stabelen. Imidlertid vil en slik fremgangsmåte begrense antallet sjikt som kan stables.

Skjer prosesseringen av sjiktene separat i løpende baner, hvor hvert sjikt eller undersjikt på de forskjellige trinn i banen gjennomgår forskjellige prosesseringsprosedyrer, kan undersjikt sammenføres til hovedsjikt og hovedsjikt til den stablede struktur i så stort antall som det vil være praktisk mulig. Bruken av organiske materialer i sjiktene og fotokonverteringsprosesser tillater en langt enklere og billigere fremstilling enn hva tilfellet er med dagens organiske halvlederteknologi. Ved bruk av produksjon i løpende bane kan produksjonen finne sted med stort volum og i høy hastighet og uten vesentlige dimensjonelle begrensninger. Ved sammenføyningen av de enkelte undersjikt til hovedsjikt og hovedsjiktene til en stablet konfigurasjon vil imidlertid registreringen mellom sjiktene være kritisk, blant annet for å sikre at vertikale ledende strukturer i de enkelte sjikt registrerer innbyrdes og at eksempelvis elektroder og aktivt halvledermaterialer i aktive halvlederkomponenter gjør det samme. Kravet til registreringsnøyaktighet vil være gitt av de linjebredder som lar seg realisere ved fremstillingen av ledende og halvledende strukturer, men kan og praktisk løses ved bruk av eksempelvis interferometriske metoder eller med bruk av mekanisk eller elektrisk nanoteknologi. Produksjonsteknikkene som benyttes til å realisere databehandlingsinnretningen i henhold til oppfinnelsen faller imidlertid utenfor oppfinnelsens ramme, men en del relevante teknikker vil finnes omtalt i de i søknaden anførte patentpublikasjoner og litteratursteder, hvortil det er henvist.

Databehandlingsinnretningen i henhold til oppfinnelsen eliminerer helt den ulempe at samtlige funksjoner som inneholder aktive komponenter, må kunne aksessere et substrat. Dette har dramatiske konsekvenser for de muligheter som står åpne for konstruktøren, og databehandlingsinnretningen i henhold til oppfinnelsen vil derfor kunne implementere radikalt nye løsninger for databehandling med resulterende fordeler med hensyn til ytelse.

Således er databehandlingsinnretningen i henhold til oppfinnelsen i prinsippet ubegrenset skalerbar på det første nivå av funksjonshierarkiet, idet det i prinsippet ikke er noen grense for hvor mange prosessor- og minnesjikt P, M eller kombinasjoner MP av slike som kan benyttes. På det annet nivå av funksjonshierarkiet er skalerbarheten i samme grad ubegrenset, da

5 databehandlingsinnretningen vil kunne realiseres med så mange prosessorer som er ønskelig, samtidig som bruken av sjikt i stablet konfigurasjon og vertikale elektrisk ledende strukturer muliggjør en optimal interkonneksjonstopologi for et nettverk av prosessorer som skal arbeide i

10 parallell. Tilsvarende har det på det annet nivå av funksjonshierarkiet også en ubegrenset skalerbarhet for de forskjellige minnetyper som inngår i lagringsenheten, og i prinsippet vil forskjellen mellom RAM og masselager bare være avhengig av hvordan adresseringen finner sted, idet det foretrukket til hver RAM vil være tilordnet en dedisert prosessor for å optimere

15 aksessering av data og overføring av disse til sentralprosessorene. Igjen vil bruken av vertikale strømløp gi optimalt korte signalveier, og latensitetsproblemene som vil være tilstede ved bruk av kjent teknologi, vil i alt vesentlig være eliminert. Endelig vil databehandlingsinnretningen på et tredje nivå av funksjonshierarkiet tillate en optimal konfigurering av den

20 enkelte minneenhet eller prosessor gjennom bruk av vertikale strukturer, hva enten disse er benyttet til å implementere prosessor- eller minnearkitekturer. Spesielt fås det på både det annet og tredje nivå av funksjonshierarkiet mulighet for skalerbar prosessering, enten ved at det på det annet nivå benyttes prosessorer som arbeider i parallell og er koblet med optimal interkonnektivitet

25 i et nettverk som tillater implementering av en felles prosessor i tre dimensjoner, eller ved bruk av skalerbar arkitektur i den enkelte prosessor, f.eks. ved "superpipelining" i "pipeline"-prosessorer eller ved bruk av parallelle arkitekturer basert på replikasjon med prinsipielt ubegrenset skalering og optimal interkonnektivitet. Særlig vil

30 databehandlingsinnretningen i henhold til oppfinnelsen gjøre det enkelt å benytte interfolierte minner, dvs. minnesjikt M interfoliert mellom processorsjikt P eller kombinerte minne- og processorsjikt MP med resulterende reduksjon av latensitet og økt ytelse. Dette innebærer at databehandlingsinnretningen i henhold til oppfinnelsen gir unike muligheter

35 for å realisere alle slags MIMD-arkitekturer, dvs. datamaskinarkitekturer som benytter MIMD-prosessering (Multiple Instructions, Multiple Data).

Det skal nå gis en kort omtale av hvordan databehandlingsinnretningen kan benyttes til å realisere skalerbare MIMD-arkitekturer og hvordan et IRAM-konsept kan benyttes til å tolerere og skjule latensitet og dødtid som kan oppstå i en skalerbar databehandlingsinnretning.

- 5 Som ovenfor nevnt, has det i utgangspunktet skalerbarhet også på det tredje nivå av funksjonshierarkiet som implementerer spesifikke prosessor- eller minnearkitekturer. Når det gjelder minneenheten i databehandlingsinnretningen i henhold til oppfinnelsen er det ingen generisk forskjell mellom de enkelte minnetyper, da de er basert på fysisk sett samme prinsipp. Konfigureringen av
- 10 minner i minneenheten på det annet nivå av funksjonshierarkiet vil være bestemmende for hvorvidt de respektive minner implementeres som RAM eller et masselagerminne. Forskjellen mellom RAM og et masselagerminne vil derfor være skala og den benyttede adresseringsmodus. I prinsippet kan imidlertid et RAM gjøres nær sagt ubegrenset stort, og typisk vil det i
- 15 databehandlingsinnretningen i henhold til oppfinnelsen benyttes RAM som enkeltvis kan lagre fra 100 Mbyte til 1 Gbyte. Så store RAM innebærer at aksessering og adressering av data lagret i RAM vil kreve en stor del av prosessorkapasiteten, og med normalt lang aksestid vil det allerede på dette trinn oppstå latensitetsproblemer. Ved å implementere hvert RAM i
- 20 databehandlingsinnretningen med en dedisert prosessor for aksessering og gjenfinning av data, kan prosessorene som utgjør sentralprosessorer eller CPU i prosesseringsenheten frigjøres for rene databehandlingsoppgaver og utelukkende benyttes til eksekvering av instruksjonsbaserte operasjoner. Et slikt opplegg realiserer et IRAM-konsept, hvilket skal omtales noe mer
- 25 detaljert i det følgende.

- Arkitekturen til prosessorer, i det følgende betegnet som CPU, i prosesseringsenheten ligge utenfor rammen av den foreliggende oppfinnelse, men det skal forstås at databehandlingsinnretningen på det tredje nivå av funksjonshierarkiet vil kunne realisere de fleste kjente former for CPU,
- 30 herunder CPU basert på parallelle arkitekturer. For den foreliggende oppfinnelses formål kan det være særlig hensiktsmessig å kombinere dataparallellisme og funksjonsparallellisme, f.eks. ved bruk av prosessorer som for dataparallellisme benytter en vektorarkitektur, mens funksjonsparallellismen samtidig realiseres ved bruk av en pipelinearkitektur.
- 35 Skjematisk er dette vist på fig. 22 som samtidig også illustrerer begrepet parallellisme ved replikasjon. En rekke pipelines PL1, PL2, ..., PL_m er hver sammensatt av eksekveringsenheter EU1, EU2, ... De forskjellige sett av

inngangsdata D_{in} føres til hver enkelt pipeline og behandles i henhold til spesifikke instruksjoner I1, I2... i de respektive eksekveringsenheter EU1, EU2,... på hvert trinn i vedkommende pipeline PL, som avgir sett av utgangsdata D_{out} . Sett av inngangsdata lastes inn fortløpende, slik at etter

5 eksekveringen av instruksjon I1 i en eksekveringsenhet EU1 på det første trinn i en pipeline PL, går datasettet videre til neste eksekveringsenhet EU2 som eksekverer i henhold til instruksjon I2 osv. Samtidig leveres fortløpende nye datasett D_{in} til hver enkelt pipeline PL, som på den måten hver gjennomfører databehandlingsoperasjoner ikke ulikt en produksjonsprosess basert på

10 samlebåndteknikk. Prosessoren omfatter en stor mengde pipelines PL som alle arbeider i parallell. Dette innfører et nytt parallellitetsbegrep, nemlig replikasjon. I dette tilfellet er parallellisme også oppnådd ved replikasjon av funksjonelle enheter, nemlig pipelines PL som forefinnes i stort antall og arbeider i parallell. Det skal i den forbindelse bemerkes at det vil være av

15 betydning å unngå latensitet f.eks. på grunn av manglende parallellisme mellom funksjonelle enheter, i dette tilfellet pipelines, og dessuten på grunn av latensitet som oppstår ved prosessering av instruksjoner som er såkalt RAW-avhengig (Read After Write-avhengige). Denne formen for latensitet er iboende, og prosesseringshastigheten vil derfor oppnås ved massiv

20 parallellisme i form av replikasjon. Endelig skal det bemerkes at det fra et logisk synspunkt vil finnes forskjellige typer av pipelines, f.eks. for operasjoner på heltall eller flyttall eller for å eksekvere minneaksess eller lagring. Avhengig av den logiske type pipeline vil antall trinn i vedkommende pipeline variere og eksempelvis vil pipelines for behandling av

25 heltallinstruksjoner og logiske instruksjoner typisk omfatte fire til seks trinn, mens en pipeline for eksekvering av flyttalloperasjoner typisk vil ha et par trinn mer. Det kan også nevnes at det er kjent multifunksjonelle pipelines hvor alle typer instruksjoner, det være seg heltallsinstruksjoner, flyttallsinstruksjoner og logiske instruksjoner, behandles i den samme fysiske

30 pipeline, som når den omfatter mange trinn og eksekveringsenheter, dvs. 10-15 eller fler, betegnes som en superpipeline.

Det som for den foreliggende oppfinnelses formål er interessant, er at den sjiktvis utførelse av databehandlingsinnretningen tillater en realisering av mikroprosessorer med et stort antall pipelines i replikasjon implementert som

35 vertikale strukturer, dvs. at hver pipeline strekker seg gjennom en rekke undersjikt i vedkommende prosessorsjikt. De enkelte eksekveringsenheter EU innenfor hver pipeline PL kunne likeledes være bygget med hovedsakelige

vertikale strukturer, eksempelvis kan de omfatte logiske porter realisert noenlunde tilsvarende det som er vist på fig. 20.

- Realiseringen av forskjellige prosessorarkitekturer som kan være hensiktsmessig for bruk i den foreliggende oppfinnelse, faller som nevnt ikke innenfor rammen av oppfinnelsen, men det skal her bemerkes at det generelt på det tredje nivå av funksjonshierarkiet gis et nær sagt ubegrensede muligheter for å realisere en ønsket prosessorarkitektur, hva enten den er basert på dataparallelle eller funksjonsparallelle konsept eller med bruk av replikasjon og pipelines i kombinasjon.
- Spesielt er det en hensikt med den foreliggende oppfinnelse å kunne realisere en parallell arkitektur på tråd- eller prosessnivå. Dette innebærer at databehandlingsinnretningen i henhold til oppfinnelsen realiseres som en MIMD-datamaskin. MIMD-datamaskiner er den mest generelle klasse av parallelldatamaskiner, da de tillater autonome operasjoner på et datasett ved hjelp av et sett av prosessorer uten noen som helst restriksjoner av arkitektonisk art. Både trådparallelisme og prosessparallelisme utgjør underklasser av funksjonell parallelisme, idet både tråder og prosesser kan ses som en sekvens av instruksjoner. Trådene dannes imidlertid i og tilhører prosessen. Samtlige tråder som frembringes innenfor en prosess, deler prosessens ressurser, spesielt adresserommet. Sagt med andre ord, har en prosesstrådmodell en mer finkornet fordelingsmodell enn prosessmodellen selv. Generelt anses MIMD-parallellatamaskiner å representere fremtidens datateknologi, og dette synet har etter hvert blitt helt fremherskende i takt med fremskrittene innen integrert kretsteknologi som har gjort det mulig å fremstille mikroprosessorer som relativt enkelt og med lav kostnad kan forbindes til et multiprosessorsystem. I siste halvdel av 90-årene er det laget MIMD-datamaskiner i form av massivt parallelle systemer med over ett tusen prosessorer. Disse systemene blir som regel kalt skalerbare parallelldatamaskiner. Databehandlingsinnretningen i henhold til den foreliggende oppfinnelse er godt egnet til å realisere slike skalerbare MIMD-parallellatamaskiner, da skalering kan finne sted både på det første nivå av funksjonshierarkiet, dvs. at datamaskinen kan realiseres med et stort antall prosessorsjikt og et tilsvarende skalert antall minnesjikt, og på det annet nivå av funksjonshierarkiet som muliggjør en fordeling av minner og prosessorer med bruk av en nettverktopologi som gir optimal interkonnektivitet. Det er da ingen nødvendig forutsetning at prosessorene selv realiseres med parallell arkitektur, f.eks. av den art som er omtalt ovenfor. MIMD-

datamaskinarkitekturer representerer en naturlig generalisering av von Neumann-maskin som i sin enkleste form består av en enkelt prosessor forbundet med en enkel minnemodul. Skal en von Neumann-maskin utvides til å omfatte flere prosessorer og minnemoduler, er det i utgangspunktet to alternativer. Det første alternativ består i å replisere prosessor/minnepar og forbinde dem i et koblingsnettverk som separate prosesseringselementer. Ingen av prosesseringselementene kan aksessere minnemodulen i et annet prosesseringselement direkte. Denne type MIMD-maskiner kalles MIMD-arkitekturer med desentralisert minnesystem eller meldingsleverende MIMD-arkitekturer og kan ha en struktur som vist på fig. 23, hvor PE betegner prosesseringselementer eller noder, MM minner og CPU prosessorer, idet samtlige noder PE0,...PEN er forbundet med et koblingsnettverk CN. Fig. 24 viser en mer praktisk organisering av prosesseringselementene PE i en tredje generasjons multidatamaskinorganisasjon, idet SW betegner svitsjeenheter og CP kommunikasjonsprosessorer. Selv om databehandlingsinnretningen i henhold til den foreliggende oppfinnelse kun er godt egnet til å realisere en slik arkitektur, for eksempel ved dannelsen av en mengde noder PE i kombinerte MP-sjikt og svitsjeenheter SW realisert som vertikale strukturer som strekker seg gjennom MP-sjiktene, er ulempen ved denne arkitekturen at bare prosesseringselementene PE skalerer, slik at minner MM og prosessorer CPU ikke skalerer uavhengig av hverandre, hvilket for en rekke formål sterkt vil redusere fleksibiliteten til databehandlingsinnretningen.

Det annet alternativ er å danne et sett av prosessorer og minner, enten i separate processorsjikt P eller i separate minnesjikt M eller i kombinert prosessor- og minnesjikt MP. Hvilken som helst prosessor CPU skal kunne aksessere hvilken som helst minnemodul MM over et koblingsnettverk SN, slik dette er vist på fig. 25. Settet av minnemoduler MM0, MM1,... definerer det globale adresserom som deles av samtlige prosessorer CPU0, CPU1,.... Parallell arkitektur av denne art kalles MIMD-datamaskiner med felles minnesystem og betegnes gjerne som multiprosessorsystemer, mens det har vært vanlig å kalle MIMD-arkitekturer med desentralisert minnesystem for multidatamaskiner. - I og med at også den sistnevnte type kan integreres på en databehandlingsinnretning i henhold til oppfinnelsen, vil den sistnevnte betegnelse imidlertid være mindre presis og bør kanskje helst reserveres for fysisk adskilte databehandlingsinnretninger forbundet i nettverk. - Koblingsnettverket i MIMD-arkitekturer kan alt etter topologien klassifiseres som statiske eller dynamiske nettverk. I statiske nettverk er svitsjeenheter

- permanent koblet og typisk realisert som direkte linjer eller forbindelser fra punkt til punkt. Vanligvis vil MIMD-arkitekturer med desentralisert minnesystem være basert på statiske nettverk, mens dynamiske nettverk hovedsakelig benyttes i multiprosessormaskiner, altså MIMD-arkitekturer med felles minnesystem. I MIMD-arkitekturer med desentralisert minnesystem vil nettverket hovedsakelig være beskjeftiget med å overføre fullstendige meldinger som kan ha enhver lengde, og meldingsoverførende protokoller er derfor av stor viktighet i slike systemer. I MIMD-arkitekturer med felles minnesystem karakteriserer korte, men hyppige minneaksesser vanlig bruk av nettverket. MIMD-arkitekturer med desentralisert minnesystem byr på spesielle problemer ved programmeringen, mens MIMD-arkitekturer med felles minne vanligvis er lettere å programmere, da det ikke er nødvendig å partisjonere koden eller data, og det heller ikke er nødvendig fysisk å flytte data når to eller flere prosesser kommuniserer. Ulempene ved en MIMD-arkitekturer med felles minnesystem er synkroniseringen og problemer med skalerbarheten på grunn av minnekonflikter, et problem som øker med antallet prosessorer. En tilsvarende skalering av minnekapasiteten, dvs. RAM-kapasiteten, har vist seg vanskelig på grunn av latensitetsproblemene og begrensningene i RAM-kapasitet generelt.
- Da den databehandlingsinnretningen i henhold til foreliggende oppfinnelse muliggjør skalerbarhet på samtlige funksjonsnivåer, vil den være godt egnet til implementering av vanlige teknikker for å overvinne skalerbarhetsproblemet i MIMD-arkitekturer med felles minnesystem. For det første kan bruken av et koblingsnettverk som gir høy overføringsrate og lav latensitet, i høy grad bidra til å forbedre skalerbarheten. Videre har det vært foreslått at det felles minnesystem utvides med spesielle, små lokale minner, såkalte cacheminner, idet en prosedyre i svært mange tilfeller kan eksekveres bare ved å aksessere lokale data som inneholdes i et cacheminne i en prosessor (CPU). Uheldigvis er dette ikke alltid tilfelle, og i tillegg fås det et nytt problem, det såkalte cache-koherensproblemet som ytterligere begrenser yteevnen til cacheminnebaserte systemer. I henhold til den foreliggende oppfinnelse kan dette best ivaretas ved mer eller mindre å gi avkall på lokale minner i den enkelte CPU og i stedet etablere et IRAM-konsept, hvor dediserte prosessorer er knyttet til hver IRAM og utelukkende benyttes til aksessering og gjenfinning av data under styring av en kontroll- og kommunikasjonsprosessor som kommuniserer med samtlige prosessorer, både CPUer og aksesseringsprosessorer, over en felles prosessorbuss. Den tilstrekkelige

kapasitet for kommunikasjon og ruting sikres på en fordelaktig måte igjen ved
 den sjiktvis oppbygging av databehandlingsinnretningen i henhold til
 oppfinnelsen, med bruk av både horisontale og vertikale elektrisk ledende
 strukturer som muliggjør en optimal interkonnektivitet. Dette skal drøftes noe
 5 mer detaljert i det følgende. Bruken av en kontroll- og
 kommunikasjonsprosessor, en felles prosessorbuss og et tilknyttet IRAM-
 system gjør det dessuten mulig å realisere en såkalt virtuelt felles minnesystem
 eller en desentralisert felles minnearkitektur. I en viss forstand representerer
 denne form for arkitektur en desentralisert minnesystem, men organisasjonen
 10 av minneadresserommet er fortsatt slik at de lokale minner, dvs. samtlige RAM
 som kan aksesseres, utgjør komponenter av et globalt adresserom, slik at hver
 eneste sentralprosessor i prosessorenheten kan aksessere de enkelte RAM og
 om nødvendig via prosessorbussen eventuelle lokale minner i hvilken som
 helst annen prosessor. Endelig skal det bemerkes at det er to grunnleggende
 15 problemer som må løses i ethvert skalerbart multiprosessorsystem, nemlig for
 det første evnen til å tolerere og skjule latensitet ved fjernlastning og for det
 annet evnen til å tolerere og skjule dødtid på grunn av synkroniseringsfeil. Ved
 bruk av MIMD-arkitekturer med felles minnesystem i
 databehandlingsinnretningen i henhold til oppfinnelsen kan det første problem
 20 på en enkel måte håndteres ved bruk av IRAM-konseptet og interfolierte
 prosessorsjikt og minnesjikt, eventuelt med bruk av felles prosessor- og
 minnesjikt og overføring av data styrt av en hurtig kontroll- og
 kommunikasjonsprosessor som er felles for nettverket. Andre løsninger på
 disse problemene har vært foreslått og benyttet i kjente datamaskiner,
 25 eksempelvis bruk av multitrådarkitekturer og hurtig kontekstsvitsjemekanismer
 som på en vellykket måte både kan løse latensitetsproblemet ved fjernlastning
 og latensitetsproblemet ved synkronisering. Denne fremgangsmåte har ført til
 konstruksjonen av multitråddatamaskiner, som imidlertid ikke skal omtales
 nærmere her. Et ytterligere og også vesentlig problem ved skalerbare
 30 parallelldatamaskiner er effektiv håndtering av I/O-innretninger og I/O-
 prosesser. Dette problem oppstår først og fremst når store datavolumer skal
 overføres mellom I/O-innretninger og fjerntliggende prosessorer.

Ved databehandlingsanordningen i henhold til oppfinnelsen er det antatt at
 dette tildels uløste problem vil være mindre vesentlig på grunn av den nærsagt
 35 ubegrensede skaleringsmulighet på alle funksjonsnivåer. Overføring av store
 datavolumer vil hovedsakelig omfatte overføring av allerede prosesserte data
 til eksterne minner og periferiinnretninger, eksempelvis visningsenheter.

Realiseringen av en MIMD-arkitektur med felles minnesystem innebærer at uansett antall minnemoduler som benyttes og uansett hvordan disse minnemodulene er forbundet med prosessorene, blir adresserommene til samtlige minnemoduler forenet til et globalt adresserom som til enhver tid står til rådighet for samtlige CPUer i systemet. Koblingsnettverket for CPUer og minner må derfor realiseres som et dynamisk nettverk slik at det kan fås en temporær kobling av mellom samtlige CPUer eller mellom hvilken som helst CPU og en RAM. Rent praktisk kan dette best oppnås ved å bruke et tredimensjonalt multippelbuss-system som tillater at RAM i minneenhetens RAM-modul kan fordeles på en lang rekke måter, f.eks. i interfolierte minnesjikt M eller kombinerte minne- og processorsjikt MP, idet hvert minne er realisert som en IRAM og via sin dediserte prosessor forbundet til en buss. Samtlige RAM-busser styres da av den felles kontroll- og kommunikasjonsprosessor. Ved bruk av cacheminner har det vist seg vanskelig å opprettholde cacheminnekoherens med bruk av tredimensjonale multippelbussystemer, men IRAM-konseptet innebærer at det kan gis avkall på lokale og til den enkelte CPU dediserte minner, samtidig som latensitetsproblemene forbundet med fjernlasting mer eller mindre elimineres eller skjules. Da databehandlingsinnretningen i henhold til den foreliggende oppfinnelse gjør det mulig å fysisk realisere tredimensjonale buss- og nettverkstopologier, vil det være mulig å realisere dynamiske koblingsnettverk med optimal interkonnektivitet. I prinsippet kan nå et meget stort antall prosessorer samtlige forbindes dynamisk med hverandre. Avhengig av databehandlingsinnretningens fysiske størrelse, kunne det med en passende skalering av RAM-kapasiteten implementeres en prosesseringsenhet med flere titalls prosessorer som kan kobles dynamisk med fullstendig konnektivitet. Dette er kanskje ikke et imponerende tall sammenlignet med superdatamaskiner av typen Cray som er implementert med flere tusen prosessorer, men da skal man ta i betraktning den fysiske størrelse av datamaskinen i henhold til den foreliggende oppfinnelse, som i utgangspunktet er tenkt implementert med en formfaktor tilsvarende en av spesifikasjonene for PCMCIA-kort og dernest muligheten av å kunne operere med prosesseringshastigheter på 1 TFLOPS eller mer.

Det er ventet at de tre hovedtyper av MIMD-arkitekturer i en fjerde generasjon av datamaskiner mer eller mindre vil konvergere. En fjerdegenerasjons datamaskin vil derfor omfatte konsepter hentet både fra datamaskiner med desentralisert minnesystem, datamaskiner med felles minnesystem og multitråddatamaskiner. Mer spesielt er det ventet at den vil kunne kombinere

multitrådprosessorer med bruk av ruter, cacheminner og katalog. Ved databehandlingsinnretningen i henhold til foreliggende oppfinnelse vil den fysiske realisering av minneenhetens RAM på med bruk av et IRAM-konsept og interfolierte prosessor- og minnesjikt, eventuelt kombinerte prosessor- og minnesjikt, og utstrakt bruk av tredimensjonale strukturer for kommunikasjon og realisering av komponenter helt kunne eliminere bruken av cacheminner og det derav resulterende cache-koherensproblem uten at det vil oppstå latensitetsproblemer. Derimot er det tenkbart at funksjonsenhetene i den enkelte CPU kunne realiseres med lokale, dediserte minner, f.eks. fysisk realisert som integrerte data- og instruksjonsbuffer i hver funksjonsenhet for å øke prosesseringshastigheten.

Som allerede nevnt, kan det i databehandlingsinnretningen i henhold til foreliggende oppfinnelse benyttes et IRAM-konsept, fortrinnsvis slik at det til hver enkelt RAM er tilordnet en dedisert prosessor forbundet med vedkommende RAM og hvis eneste oppgave er aksessering og gjenfinning av data i denne, mens CPUene i prosesseringsenhetene helt frigjøres for utelukkende å ta hånd om eksekveringen av logiske og aritmetiske operasjoner. En prinsipiell realisering av et kombinert IRAM- og CPU-opplegg er vist på fig. 26 som utspilt i de enkelte sjikt viser en prosessor/IRAM-modul i databehandlingsinnretningen i henhold til oppfinnelsen. Det skal forstås at den her viste utførelse hovedsakelig svarer til konfigurasjoner på funksjonshierarkiets første og andre nivåer. På fig. 26 utgjør det nederste sjikt substratet S og omfatter prosessorgrensesnittet 3 som her er vist realisert som en kombinert kontroll- og kommunikasjonsprosessor 30. Kontroll- og kommunikasjonsprosessen 30 er over prosessorbussen 4 forbundet med en I/O-krets 31 som igjen er forbundet med I/O-grensesnittet 8 for å muliggjøre kommunikasjon med eksterne innretninger og periferiutstyr. Signallinjer 33 forbinder også kontroll- og kommunikasjonsprosessen 30 med I/O-kretsen 31. En ytterligere krets 32 er anordnet på substratet S og likeledes forbundet med kontroll- og kommunikasjonsprosessen 30 over prosessorbussen 4. Denne ytterligere krets 32 kan alt etter behov være implementert som en spesialkrets, eksempelvis i form av en programmerbar kodek. Symbolet Δ på kontroll- og kommunikasjonskretsen 30 angir at prosessorbussen 4 er ført videre som en vertikal buss til det over substratet S anordnede første prosessorsjikt P_1 , hvor prosessorbussen 4 forgrener seg i horisontale busser som forbinder i sjiktet P_1 anordnede mikroprosessorer eller CPUer 5 innbyrdes og med kontroll- og kommunikasjonsprosessen 30. Dette gjør at

mikroprosessorene 5, som her er vist i et antall av 4, men som på ingen måte behøver å være begrenset til dette antall, kan arbeide i parallell. Over det første

5 prosessorsjikt P_1 er det tilstøtende anordnet et annet prosessorsjikt P_2 som er forbundet med sjiktet P_1 via prosessorbussen 4. I prosessorsjiktet P_2 er det anordnet et antall dediserte prosessorer 34 som er innrettet til å aksessere en

10 rekke RAM 6 anordnet i et minnesjikt M, som vist på fig. 26. Dette skjer via minne/prosessorgrensesnitt 7 som er anordnet i et separat, ikke nærmere betegnet sjikt interfoliert mellom prosessorsjiktet P_2 og minnesjiktet M. Hver IRAM-prosessor 34 er over det respektive tilordnede grensesnitt 7 forbundet

med et RAM 6 i minnesjiktet M og tjener utelukkende til aksessering og gjenfinning av data i den entydig tilordnede RAM og for videreføring av de gjenfunne data på prosessorbussen 4 til mikroprosessorene 5 for prosessering

15 deri. I den forbindelse skal det forstås at prosessorbussen 4, som her er tenkt konfigurert som en tredimensjonal prosessorbuss, kan være implementert med her ikke viste svitsjer og multipleksere.

Prosessorsjiktene P_1 og P_2 realiserer en prosessormodul og prosessorsjiktet P_2 , det interfolierte sjikt med grensesnittene 7 og RAM-sjiktet M realiserer en

20 IRAM-modul i databehandlingsinnretningen i henhold til oppfinnelsen. Det skal naturligvis forstås at antall IRAM-prosessorer 7 og tilordnede RAM 6 som vist på figuren, ikke behøver å være begrenset til åtte henholdsvis, men kan omfatte et større og mindre antall av hver. Videre kan hver RAM 6 omfatte en minneport med en bredde på eksempelvis minst 1 Kb eller bestå av flere minnegrupper med egne, like brede minneporter. I prinsippet vil

25 minnebåndbredden skaffet av IRAM-modulen være produktet av antall minneporter, portbredden og portfrekvensen. Prosessorbussen 4 forbinder i prosessorsjiktet P_2 IRAM-prosessorene innbyrdes over horisontale busser, mens forbindelsen mellom IRAM-prosessorene 34 via grensesnittene 7 til RAM 6 godt kan være dannet som vertikale elektrisk ledende strukturer i sjiktene P_2 -M som utgjør IRAM-modulen i databehandlingsinnretningen i

30 henhold til oppfinnelsen. I sjiktet M er dessuten hver RAM 6 forbundet innbyrdes over en horisontal minnebuss 37 og dessuten via vertikale minnebusser 2 som fører til et ikke vist minnegrensesnitt 1, jf. fig. 5. Minnegrensesnittet 1 skaffer forbindelse til ytterligere, her ikke viste minner som er anordnet i ytterligere, ikke viste minnesjikt som eksempelvis kan

35 realisere et masselager i lagringsenheten i databehandlingsinnretningen i henhold til oppfinnelsen. Dette minnegrensesnitt 1 har forøvrig et eget I/O-grensesnitt 9 for lasting av data direkte til lagringsenheten, slik det er vist på

nevnte fig. 5. Også prosessorbussen 4 står i forbindelse med minnegrensesnittet 9 via en vertikal buss, antydnet ved 36 på figuren.

Ytterligere antyder rombeformede symboler 35 i de enkelte sjikt hvordan prosessorbussen 4 her danner en vertikal struktur som strekker seg vertikalt gjennom det angjeldende sjikt.

Utførelsen på fig. 26 viser et eksempel på replikasjon på det annet nivå av funksjonshierarkiet, nemlig en multiprosessorløsning for å implementere en MIMD-arkitektur med felles minnesystem, som omtalt ovenfor og prinsipielt vist på fig. 25. Via kontroll- og kommunikasjonsprosessorer 30 kan samtlige prosessorer 5, 34 kobles innbyrdes, slik at det fås full konnektivitet. Hver mikroprosessor eller CPU i prosessorsjiktet P_1 kan fritt svitsjes mellom IRAM-proessorene 34 for aksessering og gjenfinning av data i RAM 6. Samtlige RAM 6 i minnesjiktet M utgjør således det globale adresserom for hver mikroprosessor 5 i prosessorsjiktet P_1 . En utstrakt bruk av vertikale, elektriske ledende strukturer i de vertikale avsnitt av prosessorbussen 4 og grensesnittene 7 vil ytterligere bidra til å redusere latensiteten.

Utførelsen av databehandlingsinnretningen vist på fig. 26 kan være tilpasset et kortformat eller underlagt andre hensiktsmessige formfaktorer. Substratet 5 kan fortrinnsvis være utført i silisium og komponentene dannet i en konvensjonell, uorganisk halvlederteknologi som sammen med prosessor- og minnesjikt realisert helt i organiske materialer, f.eks. polymerer, impliserer en hybrid uorganisk/organisk konstruksjonsløsning, men databehandlingsinnretningen kunne også helt være realisert med organiske materialer. Med bruk av egnede formfaktorer kunne et silisiumsubstrat erstattes av et eller flere silisiumpaneler anordnet langs respektive sidekanter av den sjiktvis stablede konfigurasjon. Kretser og komponenter realisert i uorganisk halvlederteknologi kunne være anordnet i sidepanelene og være forbundet med de elektrisk ledende strukturer sjiktene via elektrisk kantforbindelser i minst ett, men fortrinnsvis flere av sjiktene.

Som vist i de ovenfor omtalte eksempler på foretrukkede utførelsesformer kan databehandlingsinnretningen for praktiske applikasjoner forbindes med I/O-utstyr og eksterne og perifere innretninger, f.eks. tastaturer, konvensjonelle minner som CD-ROM, og platelagre eller visningsenheter. Det er imidlertid ingenting i veien for at databehandlingsinnretningen i henhold til oppfinnelsen kan utføres med f.eks. innebygget visningsenhet (display). Er databehandlingsinnretningen utført i et kortformat, kan da displayet være

anordnet i et sjikt på toppen av kortet og motsatt substratet og realisert i en helorganisk teknologi. Et slikt display vil la seg implementere med teknologien vist på og omtalt i tilknytning til fig. 8-10. Det enkelte piksel i displayet ville i såfall svare til funksjonselementet 17 i elektrodeanordningen på fig. 8a-c, som for dette formål realiseres som en lysemitterende komponent. I den forbindelse skal det igjen vises til den ovenfor anførte NO patentsøknad 973390.

Databehandlingsinnretningen i henhold til oppfinnelsen kan drives med en ekstra strømforsyning og vil da være utført med ikke viste kontaktorganer og drivorganer, eksempelvis anordnet i tilknytning til substratet. Det er imidlertid ingenting i veien for å benytte en egen, separat eller innebygget strømforsyning, f.eks. i form av et tynt, plant batteri som ved bruk av kortformatet kunne plasseres i en egen strømforsyningsmodul, f.eks. på undersiden av substratet S.

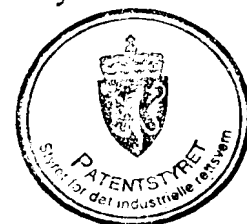
Da databehandlingsinnretningen i henhold til oppfinnelsen også er fullstendig skalerbar på det annet nivå av funksjonshierarkiet, er det i realiteten ingen begrensning av hvor mange CPU 5 og RAM 6 som kan anordnes. Det skal imidlertid forstås at det ikke er nødvendigvis noen en-til-en-korrespondanse med RAM og CPU, idet data kan hentes til CPU 5 fra hvilket som helst RAM 6 i RAM-sjiktet. Samtidig realiserer de dediserte prosessorer 34 for RAM-aksessering et IRAM-konsept, og her vil det naturligvis være en-til-en-korrespondanse mellom RAM 6 og aksesseringsprosessorer 34.

Det skalerbare konsept som ligger til grunn for databehandlingsinnretningen i henhold til oppfinnelsen kan sammenstilles med de parametre som er gitt i innledningen i tilknytning til omtalen av foreslåtte IRAM-systemer. Forutsettes det eksempelvis at databehandlingsinnretningen i henhold til oppfinnelsen er realisert med en formfaktor tilsvarende et PCMCIA-kort, dvs. av kredittkortstørrelse med en tykkelse som for PCMCIA type I er 3,3 mm, for type II 5 mm og for type III 10,5 mm, vil det være mulig å implementere RAM med Gbyte-kapasitet og masselager med Tbyte-kapasitet. På det første nivå av funksjonshierarkiet vil det i en slik kortkonfigurasjon da kunne realiseres fra ca. ett tusen til flere tusen prosessor- og minnesjikt P, M, MP og med intelligente RAM (IRAM) i et stort antall for parallellprosessering. I prinsippet kan hver enkelt prosessor eller til og med dens eksekveringsenheter dynamisk tilordnes RAM direkte. Dannelse av såkalte virtuelle, desentraliserte minnesystemer vil gi hver enkelt CPU et virtuelt lokalt adresserom og dermed kunne kombinere fordelene til MIMD-arkitekturer med desentralisert minnesystem og MIMD-arkitekturer med felles minnesystem og gi et

konfliktfritt globalt, fysisk adresserom. Implikasjonen er at det enkelt vil kunne la seg realisere minnebåndbredder i området flere Tbyte/s. Samtidig vil kombinasjonen av data- og funksjonsparallelle CPU-arkitekturer, f.eks. med bruk av ca. 10^5 parallelle flyttallpipelines gi en teoretisk prosesseringshastighet på rundt 1 TFLOPS. Minnekapasiteten ved den foreliggende oppfinnelse har i hvertfall ingen begrensing, idet RAM-kapasiteten skalerer med prosessorkapasiteten og fortsatt med bibehold av en optimal interkonnektivitet takket være den ubegrensede mulighet til å kombinere vertikal og horisontal strukturer i stablede sjikt. Databehandlingsinnretningen i henhold til oppfinnelsen, konfigurert eksempelvis som en PCMCIA-kort av type I, vil med et masselager på 1000 stablede sjikt, et areal på 100 mm^2 i hvert sjikt og en lagringstetthet på 10^7 bit/mm^2 kunne lagre $1,25 \cdot 10^{12}$ byte (1,25 Tbyte), hvilket eksempelvis svarer til 10^6 vanlige bøker à 250 sider. Benyttes det en datakompresjonsteknikk, f.eks. av den art som er kommersialisert av FAST og utviklet av firmaet Fast Search & Transfer AS, Oslo, et datterselskap av søkeren, vil det eksempelvis i databehandlingsinnretningen i henhold til oppfinnelsen kunne lagres mer enn 1500 helaftens spillefilmer komprimert fra et standard videoformat for senere dekoding og visning.

Det skal imidlertid bemerkes at databehandlingsinnretningen i henhold til oppfinnelsen på ingen måte må realiseres som er PCMCIA-kort. Tvert imot kan den gis enhver for et formål egnet formfaktor og eksempelvis være realisert som fleksible tynne plater eller bånd av hvilken utstrekning, men eventuelt med færre sjikt, eller helt i organiske materialer uten bruk av noen hybridløsning.

For å oppsummere, skaffer databehandlingsinnretningen i henhold til foreliggende oppfinnelse, fremfor alt realisert i et standard kortformat som PCMCIA, den første virkelige personlige datamaskin med full portabilitet og som etter valg kan knyttes opp mot egnede perifere enheter så som visningsinnretninger, tastaturer og skrivere hvor det måtte være og med en kapasitet med hensyn til prosessorytelse og aksestid som langt overstiger alle kjente datamaskiner, herunder også de såkalte superdatamaskiner. Da heller ikke produksjonskostnaden for en databehandlingsinnretning i henhold til oppfinnelsen på noen måte er prohibitiv, det er tvert imot ventet at prisen vil ligge langt under selv dagens rimelige PCer, vil den representere et paradigmeskifte i forhold til dagens konsepsjon av datateknologien og tilby nær sagt ubegrensede muligheter for databehandling til og med i en individualiserende og helt personlig kontekst.



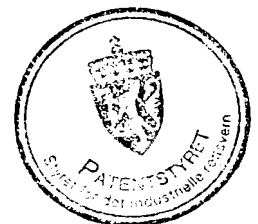
PATENTKRAV

1. Skalerbar, integrert databehandlingsinnretning, spesielt en mikrodatamaskin, omfattende en prosesseringsenhet, hvor prosesseringsenheten omfatter én eller flere prosessorer og en lagringsenhet, hvor lagringsenheten omfatter ett eller flere minner, og hvor databehandlingsinnretningen er anordnet på et bærende substrat (S),
 5 karakterisert ved at databehandlingsinnretningen omfatter innbyrdes tilstøtende, hovedsakelig parallelle, stablede sjikt (P, M, MP),
 10 at prosesseringsenheten og lagringsenheten er anordnet i ett eller flere sjikt, idet de enkelte sjikt er dannet med valgte antall prosessorer og minner i valgte kombinasjoner,
 at hvert sjikt omfatter i eller på sjiktet horisontale elektrisk ledende strukturer som utgjør elektrisk interne forbindelser i sjiktet, og
 15 at hvert sjikt omfatter ytterligere elektriske strukturer som skaffer elektrisk forbindelse til andre sjikt og til databehandlingsinnretningens ytterside.
2. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, karakterisert ved at et eller flere sjikt er realisert i form av en rekke undersjikt i en teknologi som på et første nivå av et funksjonshierarki
 20 konfigurerer funksjonelt ett eller flere sjikt som et kombinert prosessor- og minnesjikt (MP), eller ett eller flere sjikt hovedsakelig som processorsjikt (P) og ett eller flere sjikt hovedsakelig som minnesjikt (M).
3. Skalerbar, integrert databehandlingsinnretning i henhold til krav 2, karakterisert ved at prosesseringsenheten i et sjikt (P, MP) er
 25 konfigurert funksjonelt på et annet nivå av funksjonshierarkiet som en eller flere prosessorer (5) eller deler av en eller flere prosessorer (5), idet minst én prosessor utgjør en sentralprosessor eller mikroprosessor (5) i databehandlingsinnretningen, og eventuelle ytterligere prosessorer etter valg er konfigurert som henholdsvis kontroll- og/eller kommunikasjonsprosessorer.
- 30 4. Skalerbar, integrert databehandlingsinnretning i henhold til krav 3, karakterisert ved at sentralprosessoren (5) er konfigurert funksjonelt på et tredje nivå av funksjonshierarkiet som en parallellprosessor med flere parallelt arbeidende eksekveringsenheter anordnet i et og samme sjikt (P, M, P)

eller i to eller flere sjikt (P, MP) eller i undersjikt av disse sjikt for å skaffe en optimal interkonneksjonstopologi.

5. Skalerbar, integrert databehandlingsinnretning i henhold til krav 3, hvor det er anordnet mer enn en sentralprosessor,
 - 5 k a r a k t e r i s e r t v e d at hver sentralprosessor (5) er innbyrdes koblet og innrettet til å arbeide i parallell og anordnet i et og samme sjikt (P, MP) eller i to eller flere sjikt (P, MP) for å skaffe en optimal interkonneksjonstopologi.
6. Skalerbar, integrert databehandlingsinnretning i henhold til krav 3,
 - 10 k a r a k t e r i s e r t at lagringsenheten i et sjikt (M, MP) er konfigurert funksjonelt på det annet nivå i funksjonshierarkiet som ett eller flere minner eller deler av ett eller flere minner, idet minst ett minne utgjør et RAM (6) og er forbundet med minst en sentralprosessor eller mikroprosessor (5), og eventuelle ytterligere minner etter valg er konfigurert som henholdsvis
 - 15 hurtigminner, ROM, WORM og ERASABLE.
7. Skalerbar, integrert databehandlingsinnretning i henhold til krav 6,
 - 20 k a r a k t e r i s e r t v e d at det til en sentralprosessor er forbundet to eller flere RAM (6) som henholdsvis er tilordnet to eller flere underenheter i sentralprosessen (5), idet RAM (6) og underenheter kan være fordelt i valgte kombinasjoner i ett eller flere sjikt (P, M, MP) for å skaffe en optimal interkonneksjonstopologi.
8. Skalerbar, integrert databehandlingsinnretning i henhold til krav 6, hvor det er anordnet to eller flere sentralprosessorer (5) som er forbundet med ett eller flere felles RAM (6), idet hver sentralprosessor kan være anordnet i
 - 25 i n n b y r d e s t i l s t ø t e n d e s j i k t (P, MP) eller fordelt i valgte kombinasjoner mellom to eller flere sjikt (P, MP) og det eller de felles RAM anordnet i valgte kombinasjoner i ett eller flere av sentralprocessorsjiktene (P, MP) og/eller i ett eller flere til sentralprocessorsjiktene tilstøtende eller mellom de sistnevnte interfolierte minnesjikt (M) for å skaffe en optimal interkonneksjonstopologi.
9. Skalerbar, integrert databehandlingsinnretning i henhold til krav 6,
 - 30 k a r a k t e r i s e r t v e d at minst en del av lagringsenheten utgjør et masselager, idet masselageret etter valg kan være konfigurert som RAM, ROM, WORM eller ERASABLE eller kombinasjoner av disse.

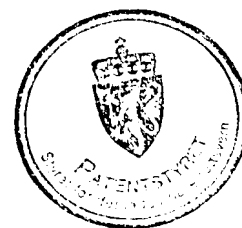
10. Skalerbar, integrert databehandlingsinnretning i henhold til krav 2, hvor databehandlingsinnretningen omfatter flere processorsjikt (P) og flere minnesjikt (M),
 5 k a r a k t e r i s e r t v e d at minnesjiktene (M) for å redusere signalveiene mellom seg og processorsjiktene (P), er interfoliert mellom de sistnevnte.
11. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, k a r a k t e r i s e r t v e d at de ytterligere elektriske strukturer i et sjikt (P, M, MP) er anordnet på minst en sidekant av sjiktet som en elektrisk kantforbindelse.
- 10 12. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, k a r a k t e r i s e r t v e d at de ytterligere elektrisk ledende strukturer i et sjikt (P, M, MP) er anordnet som vertikalt ledende strukturer som danner en elektrisk forbindelse i sjiktets tverretning og perpendikulært på dets plan for å kontakte elektrisk ledende strukturer i andre sjikt.
- 15 13. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, k a r a k t e r i s e r t v e d at et eller flere sjikt (P, M, MP) er dannet av organisk tynnfilmmateriale, idet det eller de organiske tynnfilmmaterialer er valgt blant monomere, oligomere og polymere organisk materialer og metallorganiske komplekser eller kombinasjoner av slike materialer.
- 20 14. Skalerbar, integrert databehandlingsinnretning i henhold til krav 13, k a r a k t e r i s e r t v e d at samtlige sjikt (P, M, MP) er dannet av organisk tynnfilmmateriale.
- 15 15. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, k a r a k t e r i s e r t v e d at ett eller flere sjikt (P, M, MP) er dannet av uorganisk tynnfilmmateriale, idet det eller de uorganiske tynnfilmmaterialer er valgt blant krystallinske, polykrystallinske og amorfe tynnfilmmaterialer eller kombinasjoner av slike materialer.
- 25 16. Skalerbar, integrert databehandlingsinnretning i henhold til krav 13 eller 14, k a r a k t e r i s e r t v e d at ett eller flere sjikt (P, M, MP) er dannet av både organisk og uorganisk tynnfilmmaterialer, eller kombinasjoner av slikt materiale.
- 30



SAMMENDRAG

En skalerbar, integrert databehandlingsinnretning, spesielt en mikrodatamaskin, omfatter en prosesseringsenhet med en eller flere prosessorer og en lagringsenhet med ett eller flere minner. Databehandlingsinnretningen er anordnet på et bærende substrat (S) og omfatter innbyrdes tilstøtende, hovedsakelig parallelle sjikt (P, M, MP) stablet opp på hverandre, idet prosesseringsenheten og lagringsenheten er anordnet i ett eller flere slike sjikt og de enkelte sjikt dannet med valgte antall prosessorer og minner i valgte kombinasjoner. I hvert sjikt er det anordnet horisontale elektriske ledende strukturer som utgjør elektrisk interne forbindelser i sjiktet og dessuten omfatter hvert sjikt ytterligere elektrisk ledende strukturer som skaffer elektrisk forbindelser til andre sjikt og til databehandlingens ytterside. Den integrerte databehandlingsinnretning har en skalerbar arkitektur, slik at den i prinsippet kan konfigureres med nær sagt ubegrenset prosessor- og minnekapasitet. Spesielt kan databehandlingsinnretningen implementere forskjellige former for skalerbare, parallelle arkitekturer integrert med optimal interkonnektivitet i tre dimensjoner.

(Fig. 6)



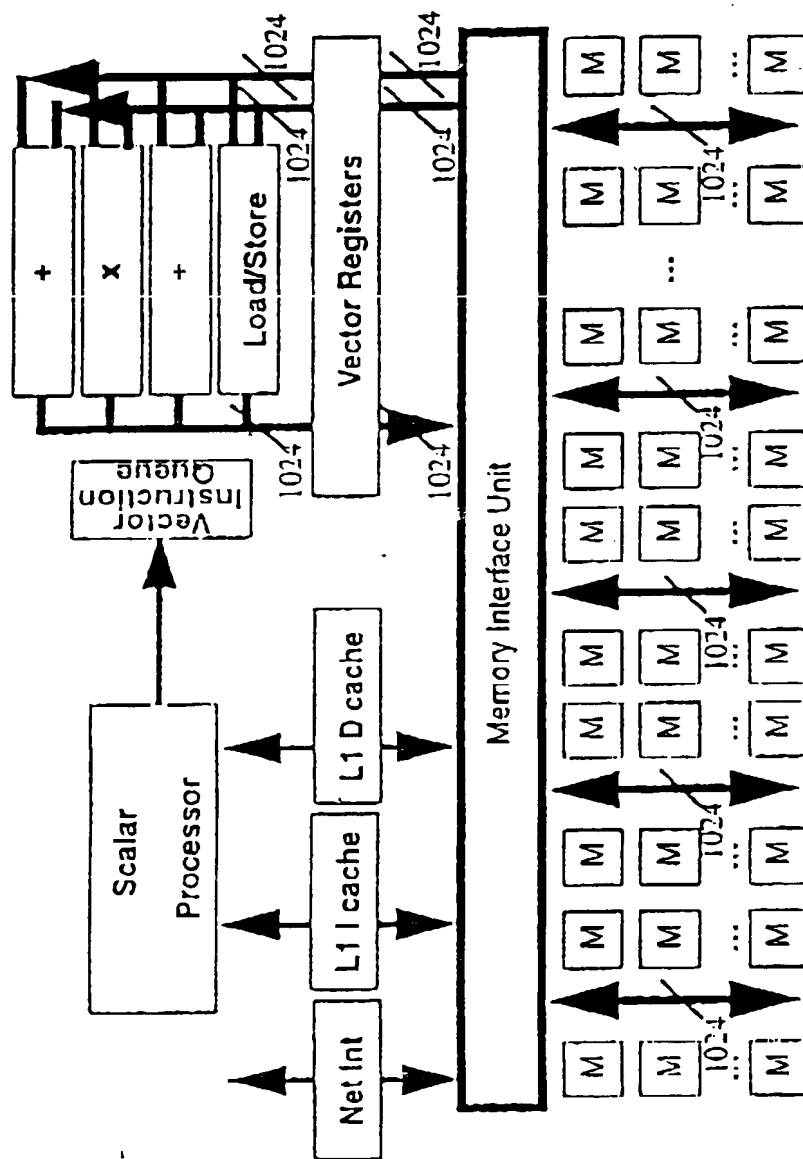
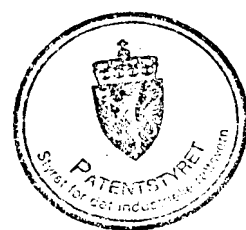


Fig.1



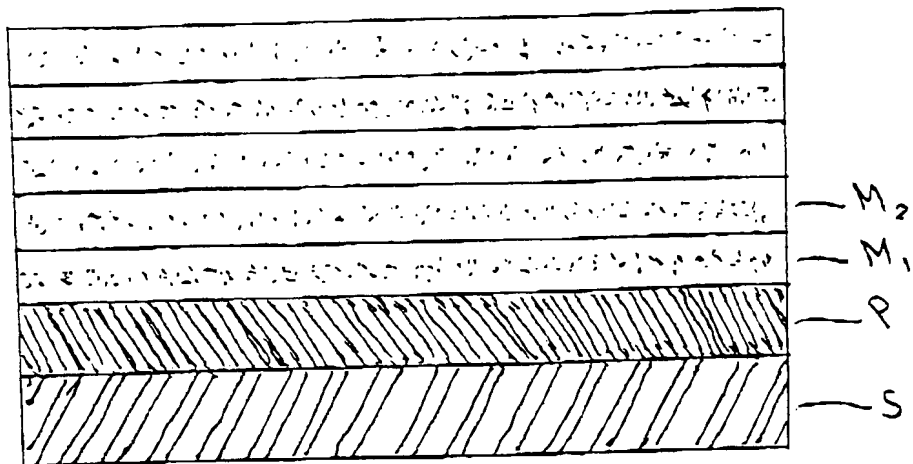


Fig. 2

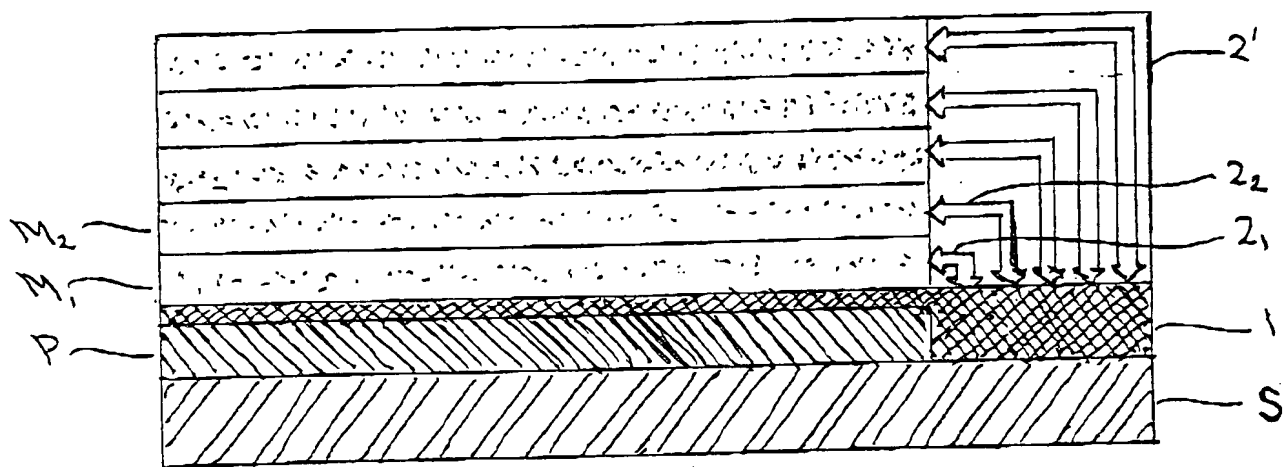


Fig. 3

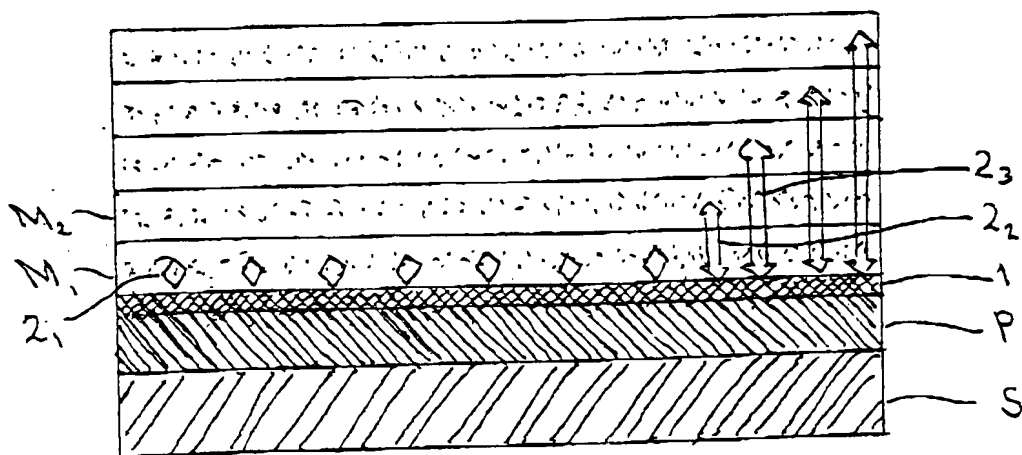
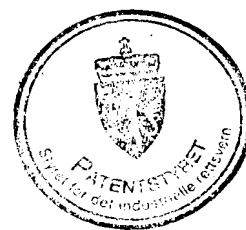


Fig. 4



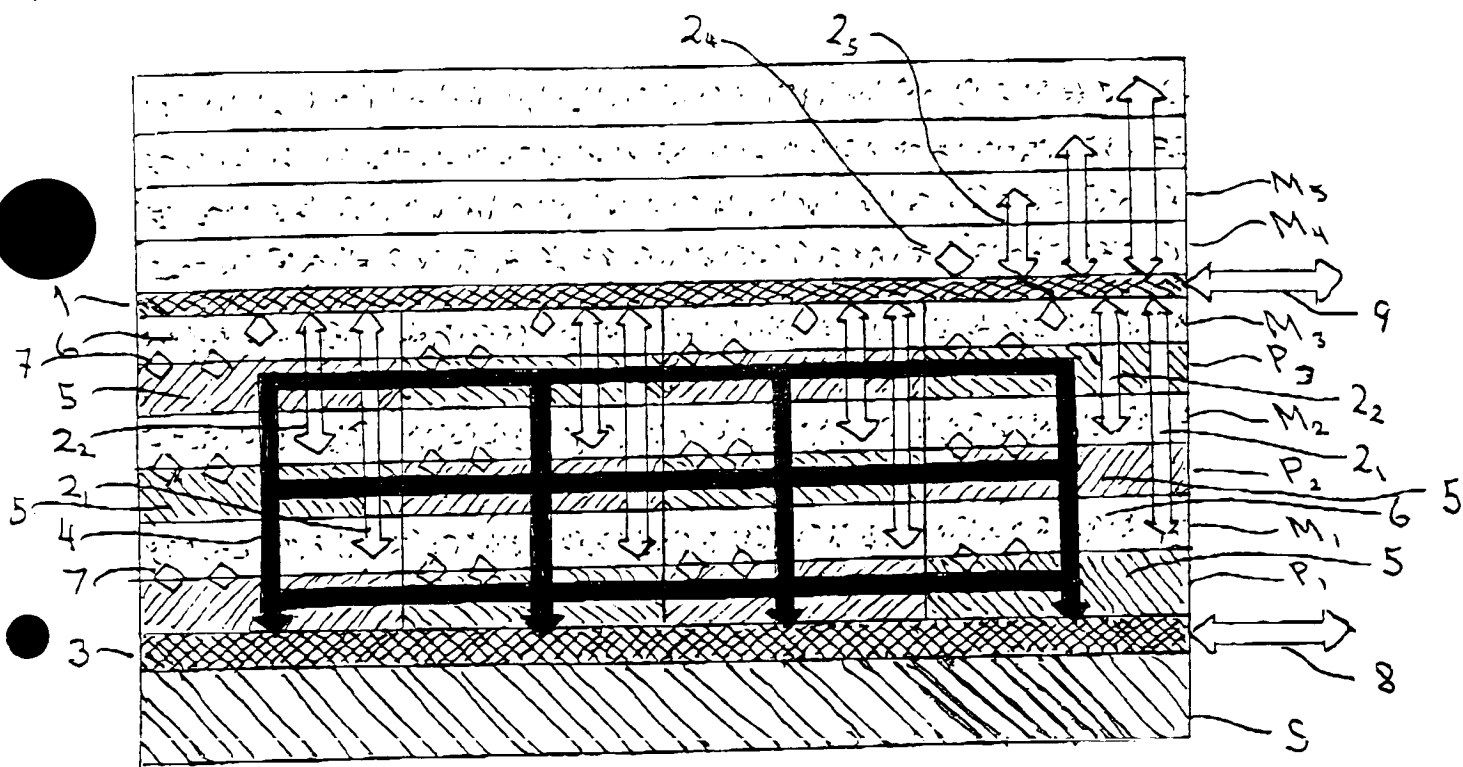


Fig. 5

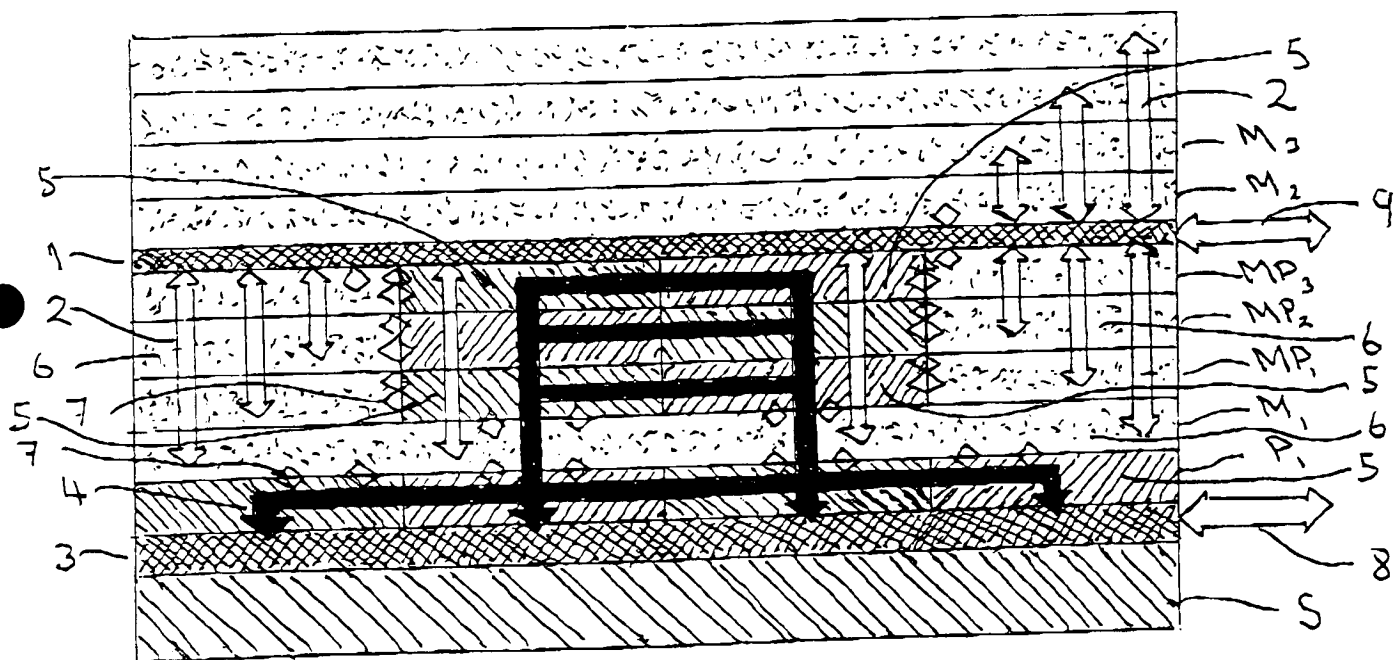
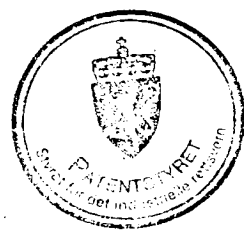
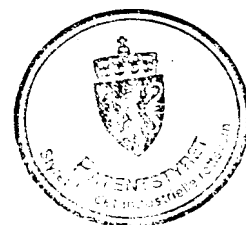
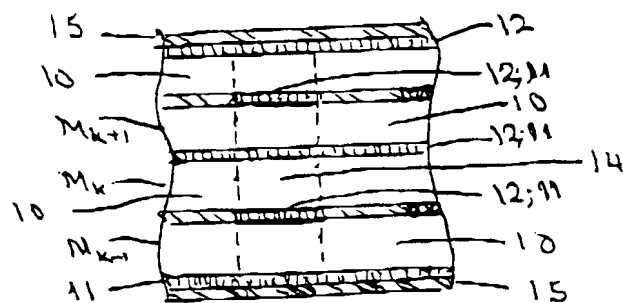
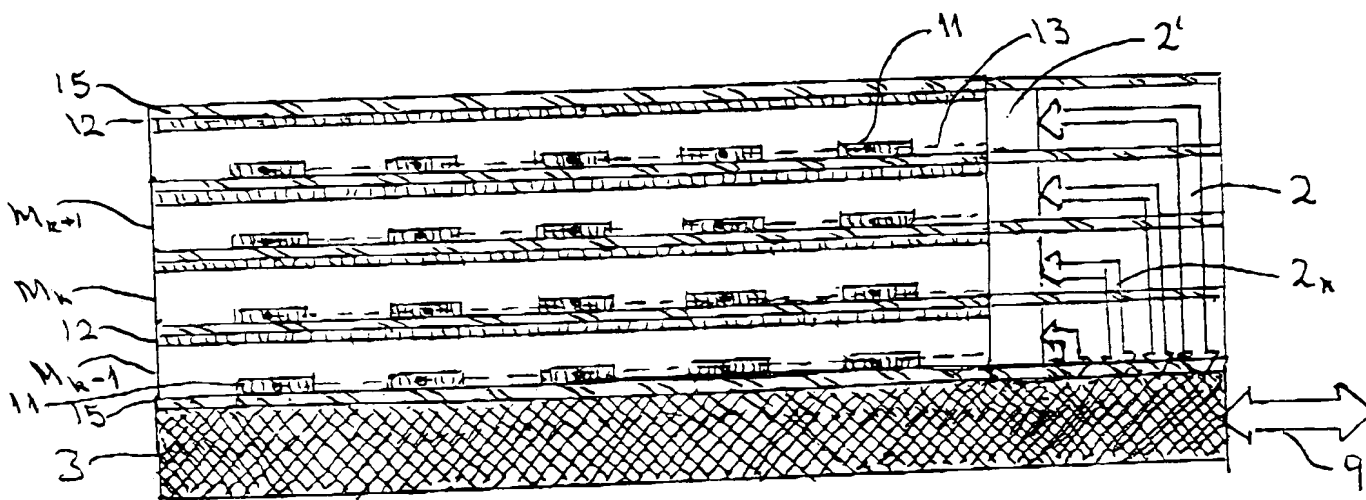
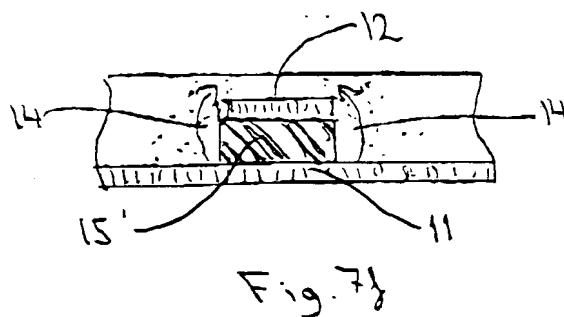
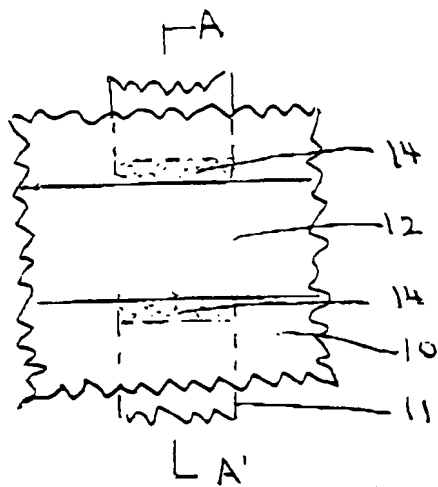


Fig. 6





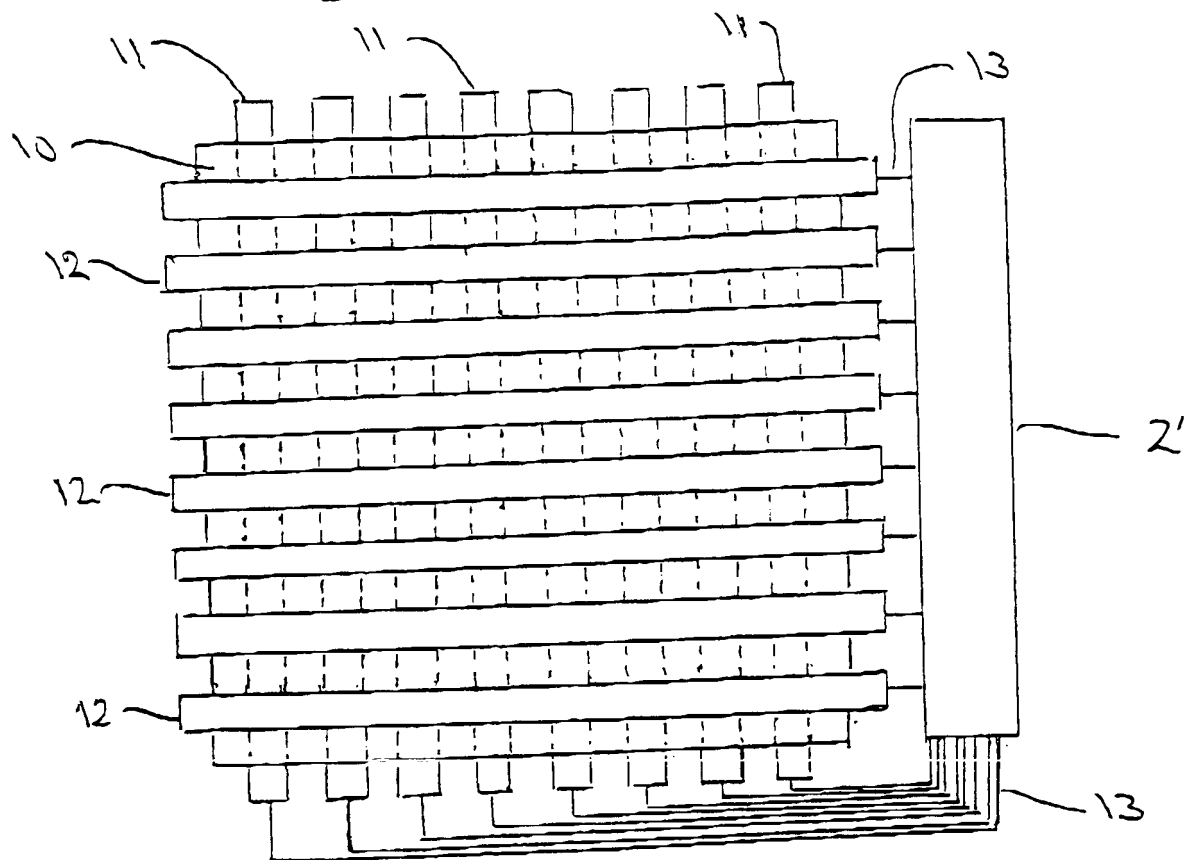


Fig. 7a

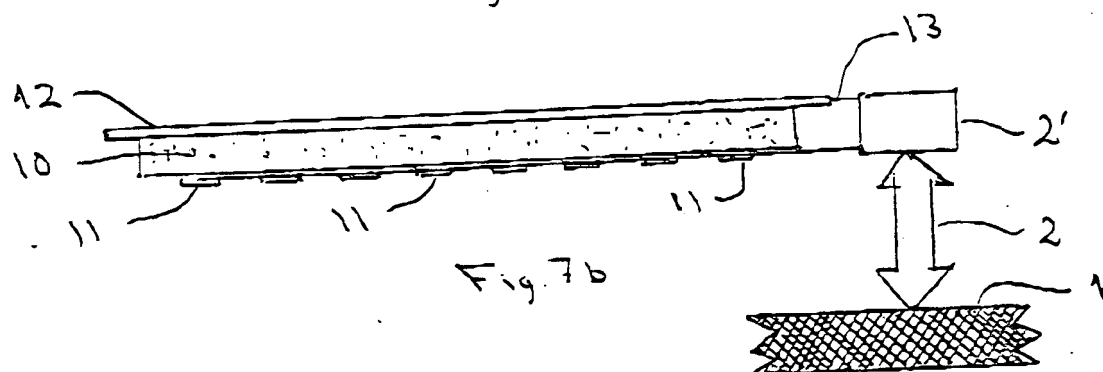
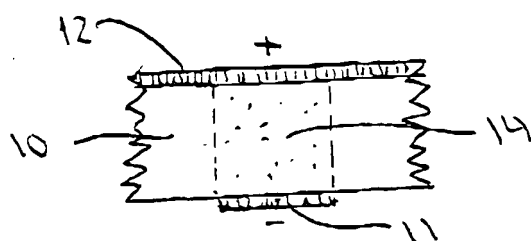


Fig. 7b



F. g. 7c

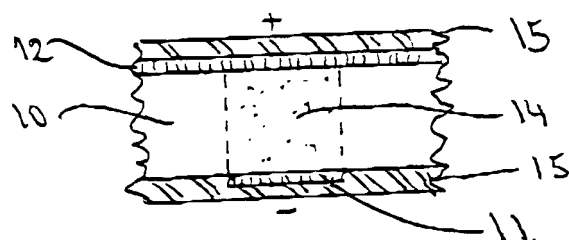
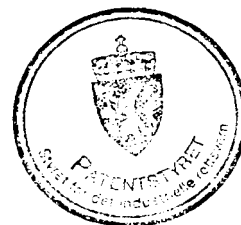


Fig. 7d



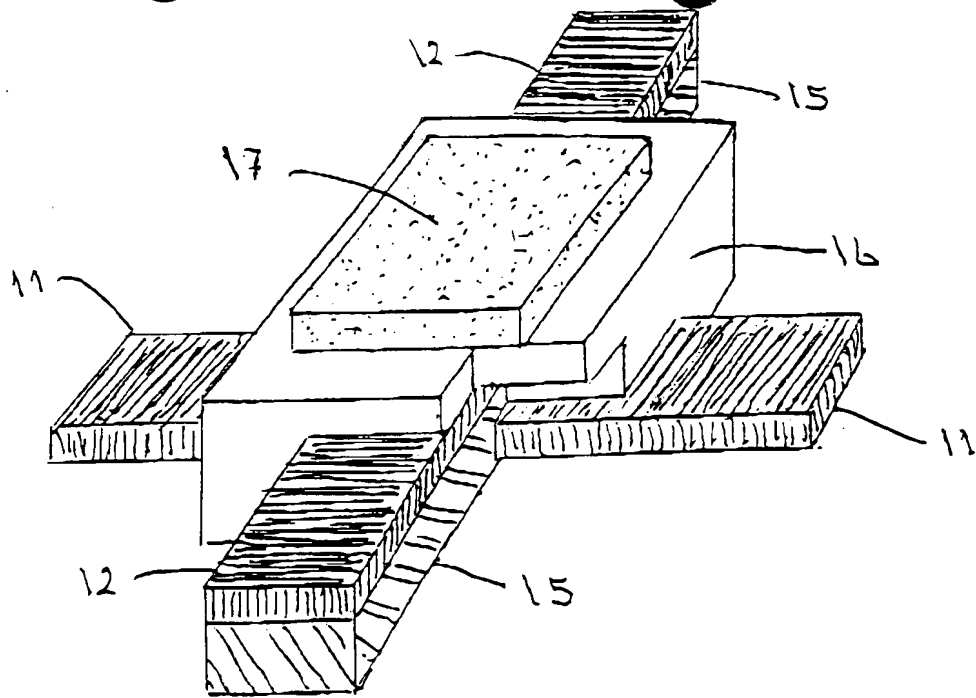


Fig. 8a

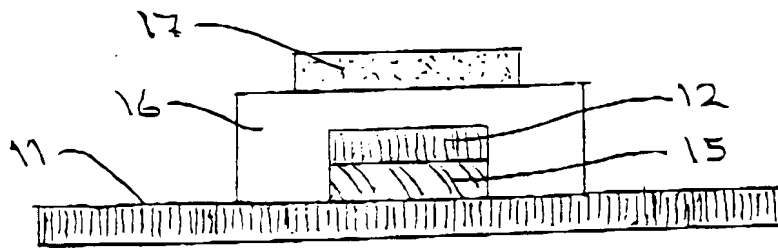


Fig. 8b

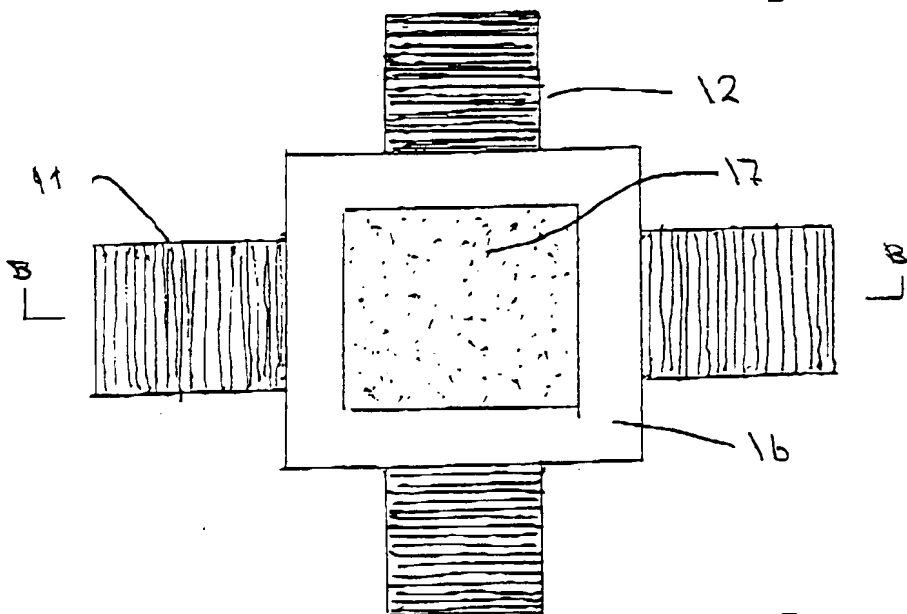


Fig. 8c



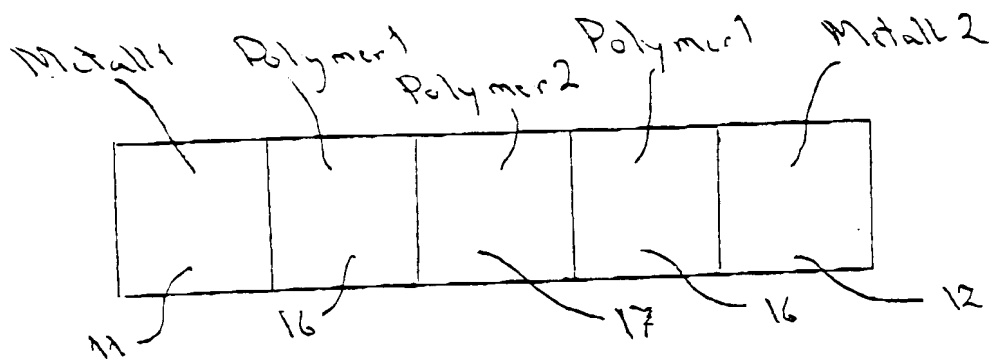


Fig. 9

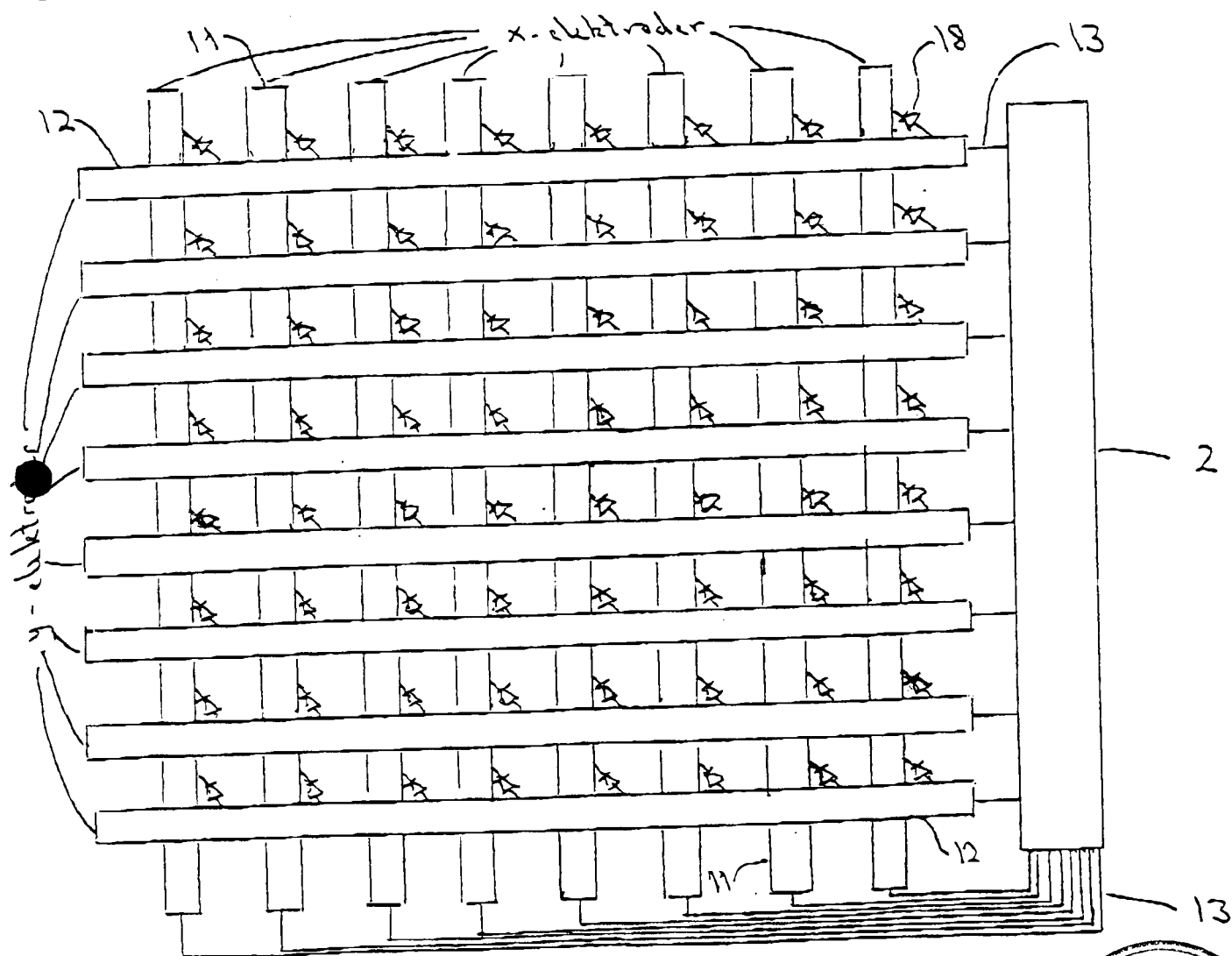
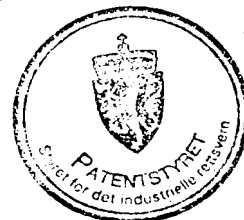


Fig. 10



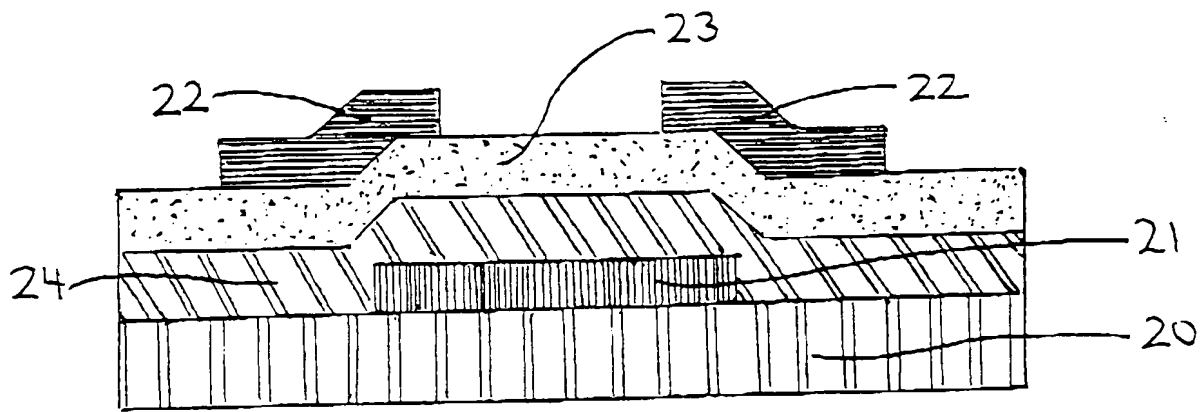


Fig. 11

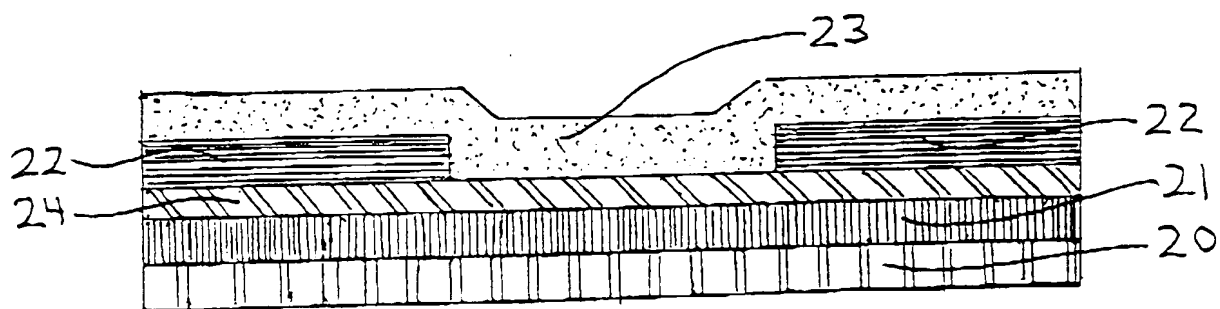


Fig. 12

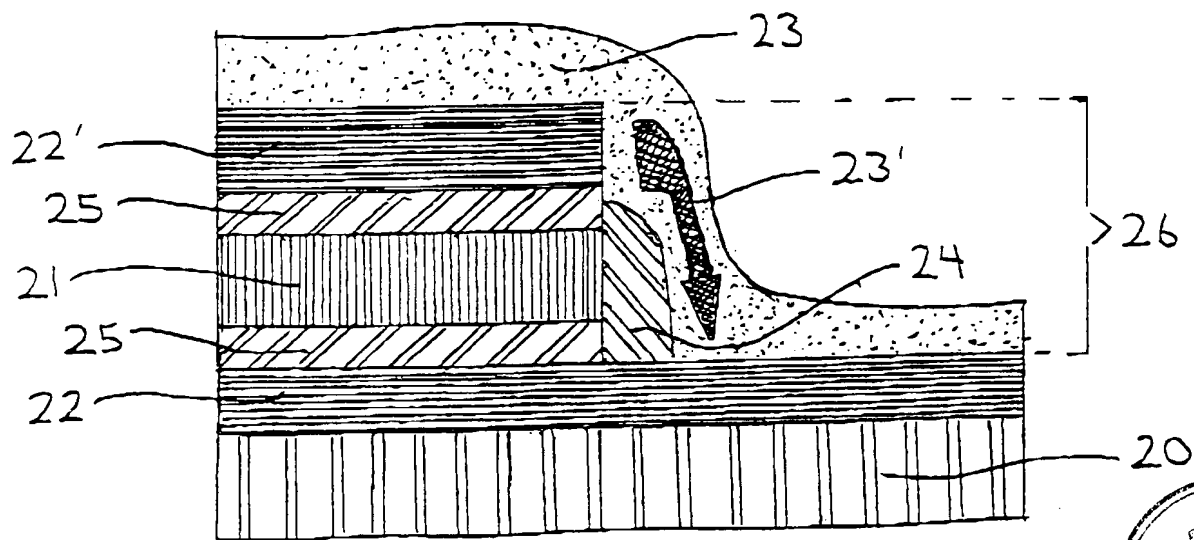


Fig. 13



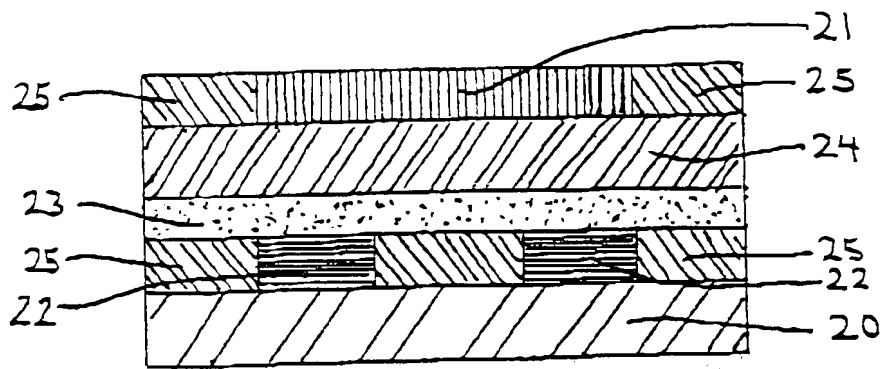





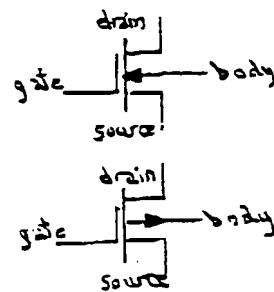


Fig. 14

Legend to figs. 15-21

-  Isolating
-  Semiconducting
-  p-type semiconducting
-  n-type semiconducting
-  Conducting, electrode



n-channel MOSFET (NMOS)

p-channel MOSFET (PMOS)



Horizontal and vertical conducting path (Δ , up; ∇ , down)

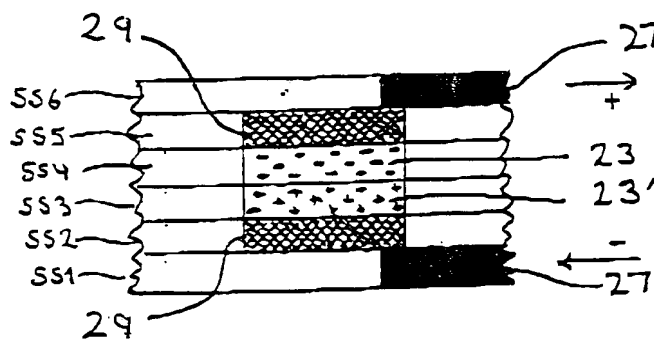
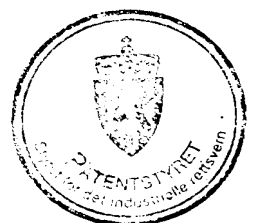


Fig. 15



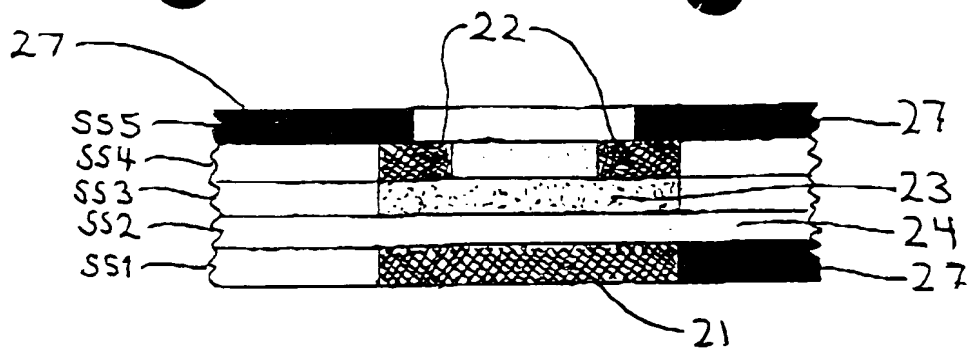


Fig. 16

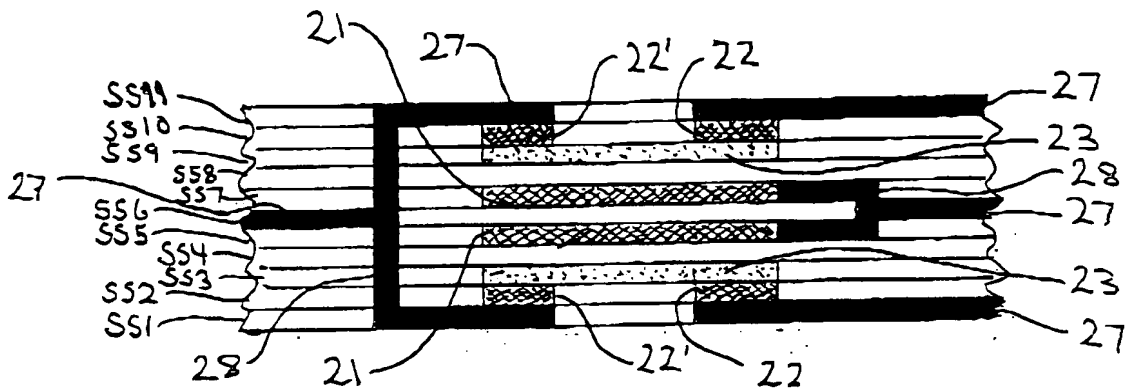


Fig. 17

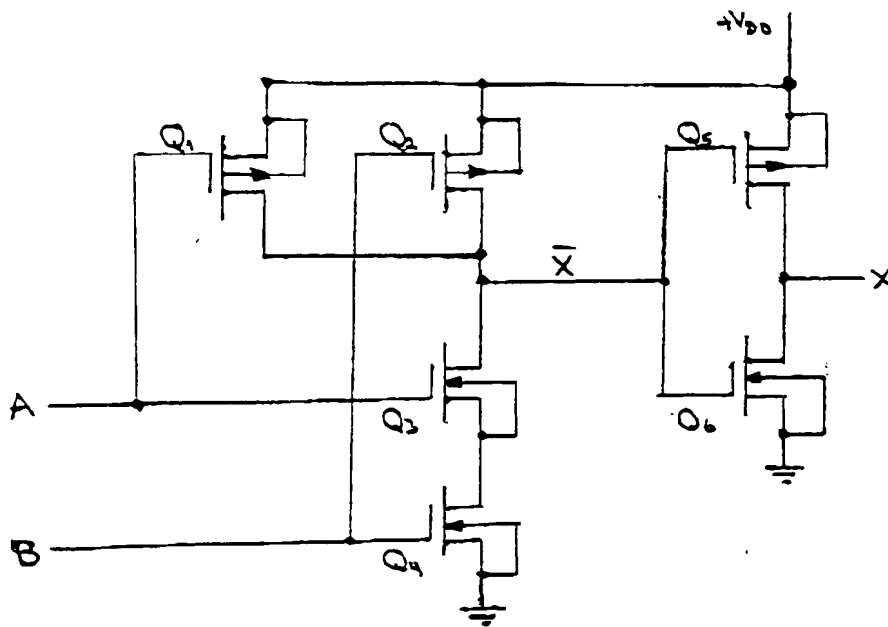


Fig. 18



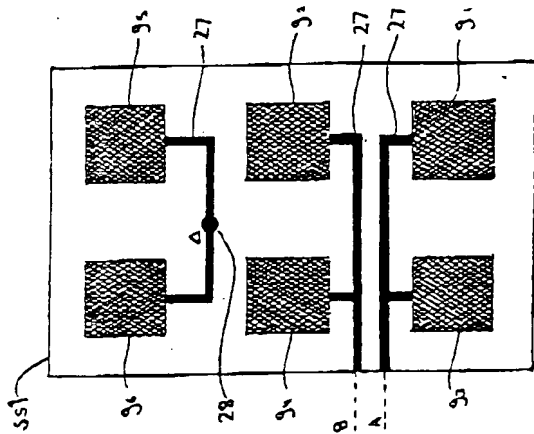


Fig. 19a

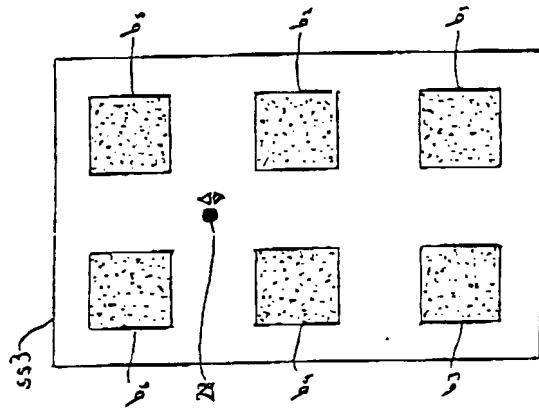


Fig. 19b

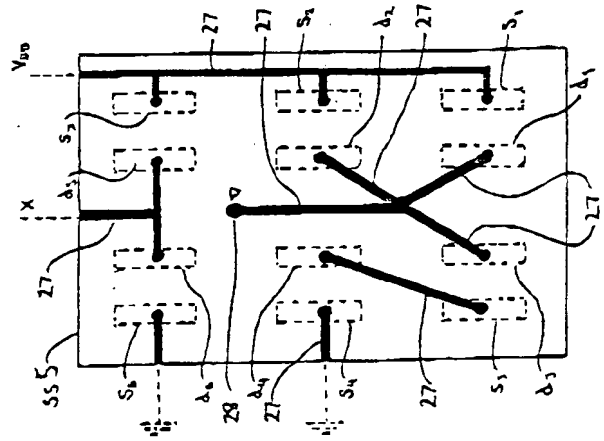


Fig. 19c

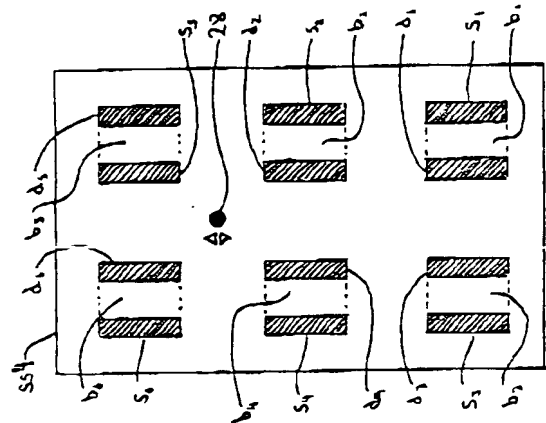
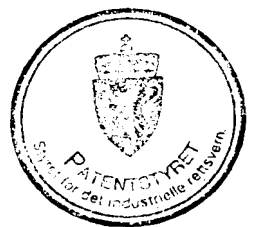


Fig. 19d



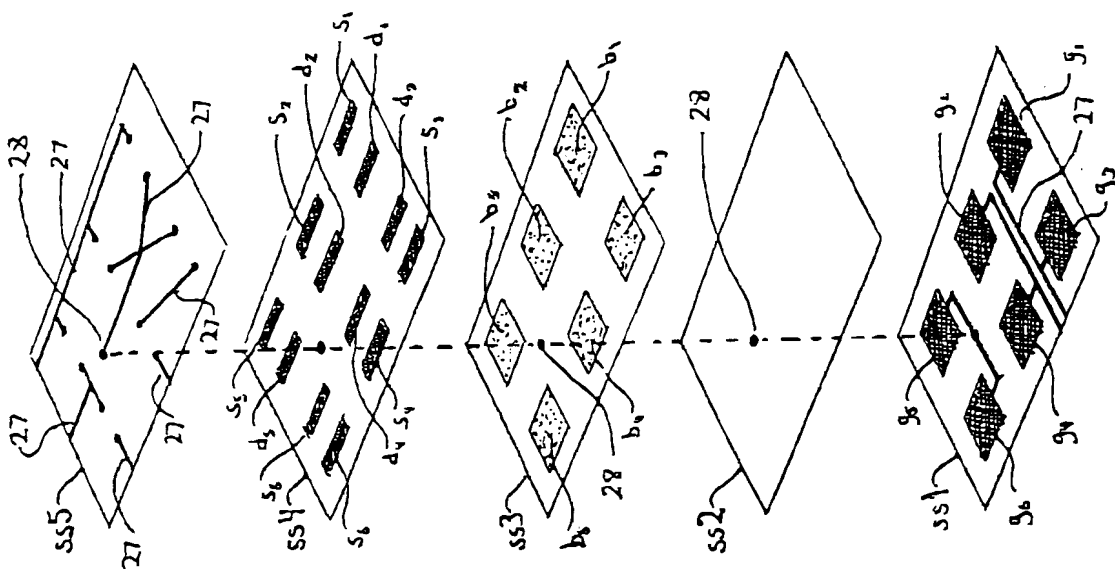


Fig. 20

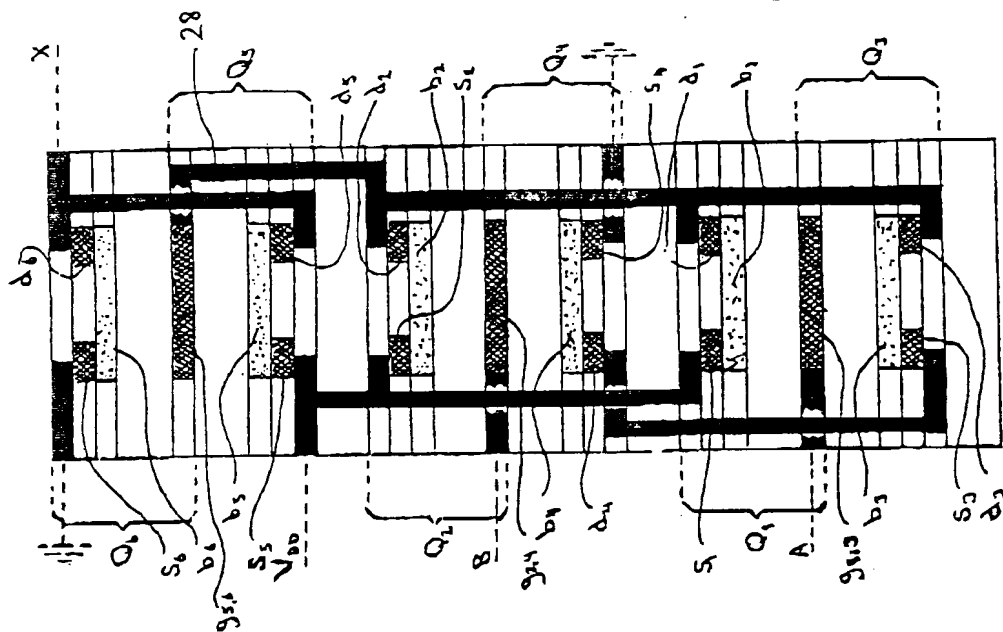


Fig. 21



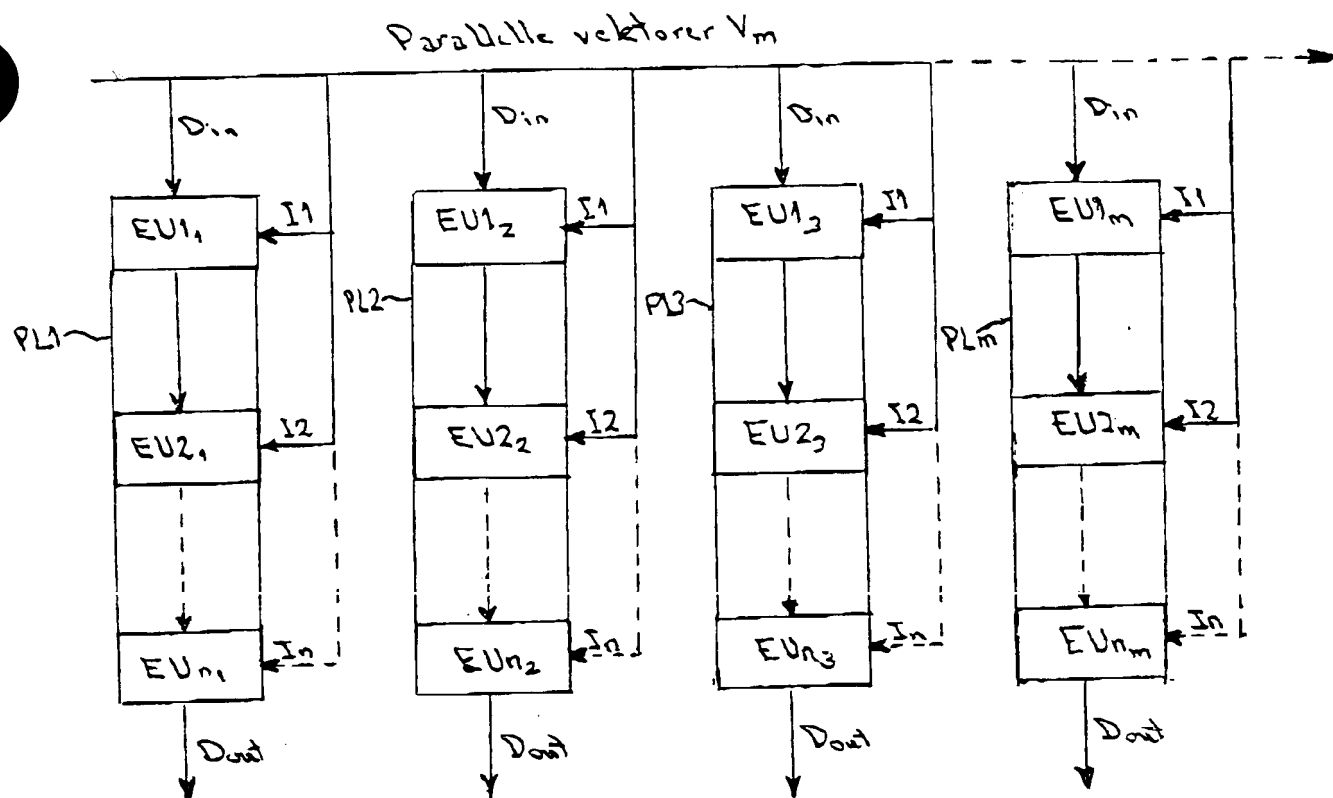
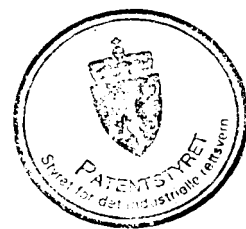


Fig. 22



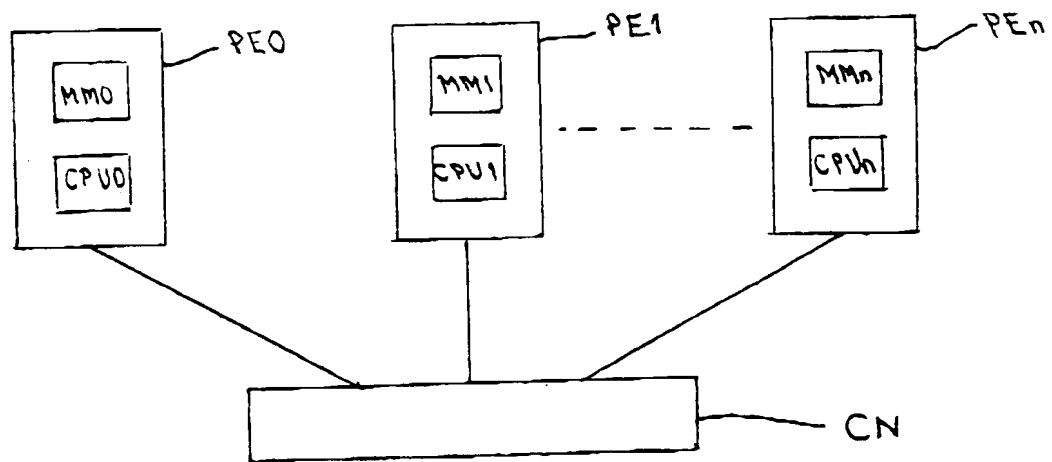


Fig. 23

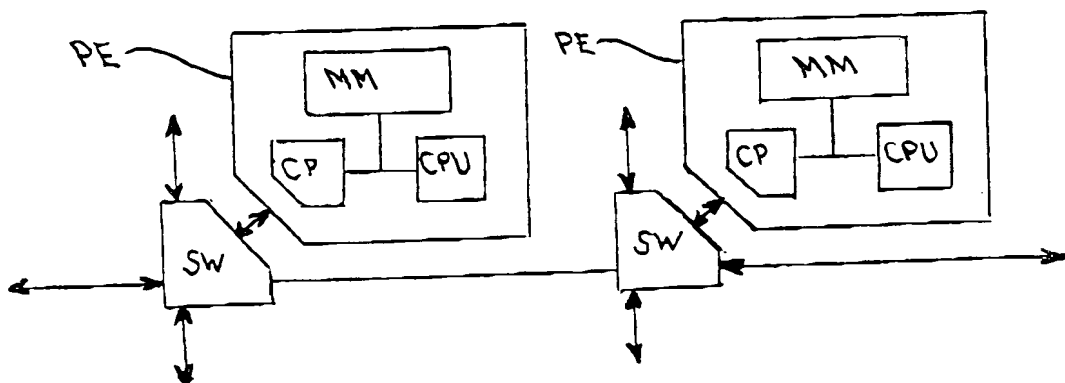


Fig. 24

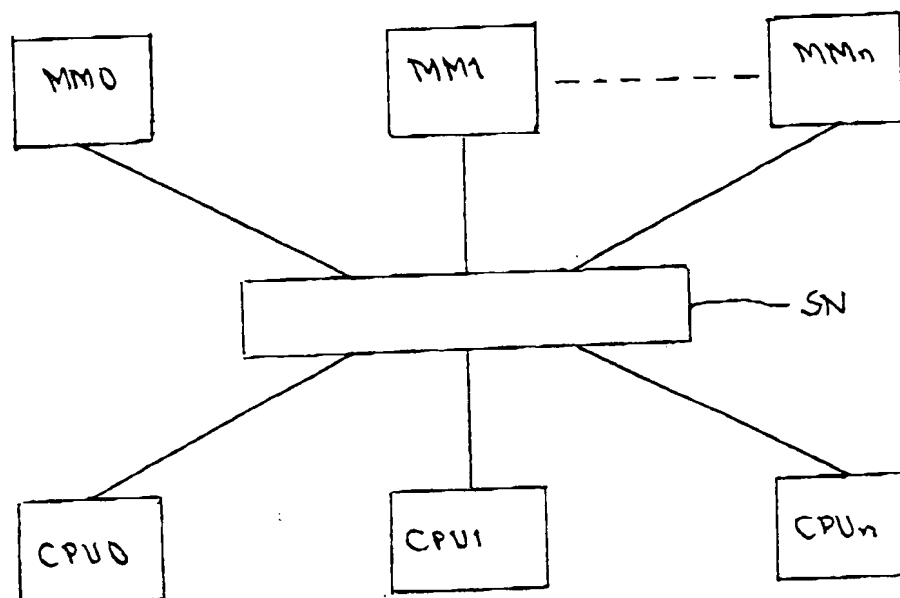
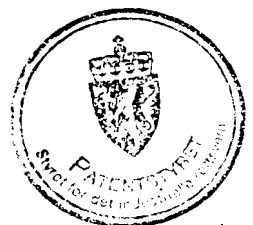


Fig. 25



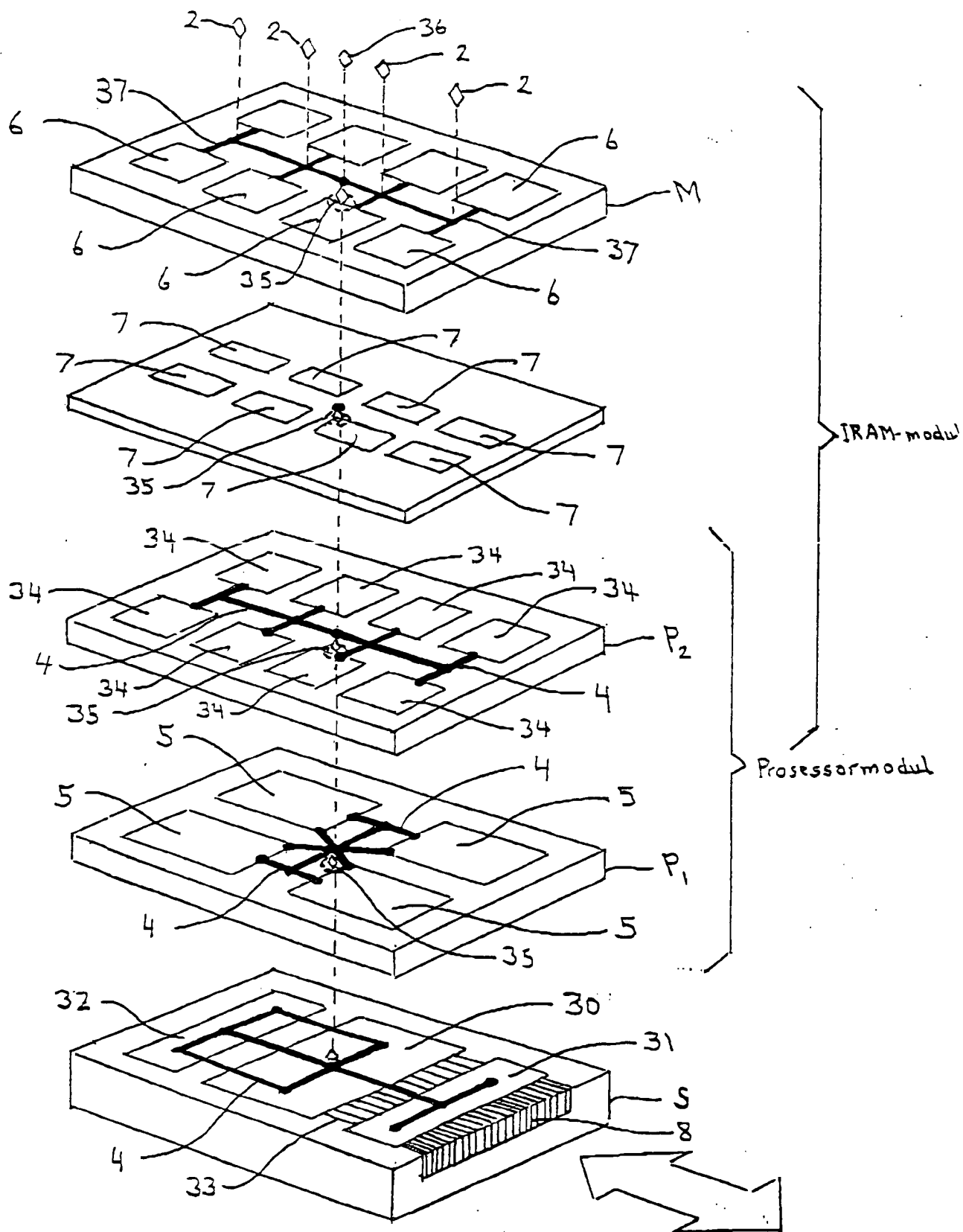


Fig. 26



